



PCT

特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 H04J 13/00	A1	(11) 国際公開番号 WO99/26369 (43) 国際公開日 1999年5月27日(27.05.99)
(21) 国際出願番号 PCT/JP98/05225 (22) 国際出願日 1998年11月19日(19.11.98) (30) 優先権データ 特願平9/317910 1997年11月19日(19.11.97) JP 特願平9/344797 1997年12月15日(15.12.97) JP (71) 出願人 (米国を除くすべての指定国について) エヌ・ティ・ティ移動通信網株式会社 (NTT MOBILE COMMUNICATIONS NETWORK INC.)[JP/JP] 〒105-8436 東京都港区虎ノ門二丁目10番1号 Tokyo, (JP) (72) 発明者 : および (75) 発明者/出願人 (米国についてののみ) 小川真資(OGAWA, Shinsuke)[JP/JP] 〒221-0862 神奈川県横浜市神奈川区三枚町164-13 ライオンズマンション新横浜B-109 Kanagawa, (JP) 高木広文(TAKAGI, Hirofumi)[JP/JP] 〒235-0033 神奈川県横浜市磯子区杉田9-2-11-B-105 Kanagawa, (JP)		東 明洋(HIGASHI, Akihiro)[JP/JP] 〒238-0315 神奈川県横須賀市林2-1-3 5-306 Kanagawa, (JP) (74) 代理人 弁理士 草野 卓, 外(KUSANO, Takashi et al.) 〒160-0022 東京都新宿区新宿四丁目2番21号 相模ビル Tokyo, (JP) (81) 指定国 CA, CN, JP, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). 添付公開書類 国際調査報告書
(54) Title: DEVICE FOR GENERATING A PLURALITY OF CODE SERIES SIMULTANEOUSLY AND CDMA RADIO RECEIVER COMPRISING THE DEVICE (54) 発明の名称 複数符号系列同時生成器及びそれを使用したCDMA無線受信装置 (57) Abstract The outputs of a plurality of shift stages (S1, S2 and S4) of an M-series generator (31A) are subjected to EOR (XR11 and XR12) and the output code of the generator (31A) is delayed by required bits, for example, 3 bits, to generate a 3-bit delay M-series. In a similar way, the outputs of a plurality of shift stages are combined and subjected to EOR to generate another delayed M-series. The outputs of simultaneous delayed code generators (31) and the output of another M-series generator (32) are subjected to EOR to generate a plurality of gold code series simultaneously. 		

(57)要約

M系列生成器 31A の複数のシフト段 S1, S2, S4 の出力の EOR(XR11, XR12) をとり、生成器 31A の出力符号に対し、所望の遅延、この例では 3 ビット遅延したM系列を得、同様に複数のシフト段の出力を組合せて EOR をとり、他の遅延M系列を得る。この同時遅延符号生成器 31 の各出力と、他のM系列生成器 32 の出力との EOR をとり、複数のゴールド符号系列を同時に得る。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	ES	スペイン	LI	リヒテンシュタイン	SG	シンガポール
AL	アルバニア	FI	フィンランド	LK	スリ・ランカ	SI	スロヴェニア
AM	アルメニア	FR	フランス	LR	リベリア	SK	スロヴァキア
AT	オーストリア	GA	ガボン	LS	レソト	SL	シエラ・レオネ
AU	オーストラリア	GB	英国	LT	リトアニア	SN	セネガル
AZ	アゼルバイジャン	GD	グレナダ	LU	ルクセンブルグ	SZ	スワジランド
BA	ボスニア・ヘルツェゴビナ	GE	グルジア	LV	ラトヴィア	TD	チャード
BB	バルバドス	GH	ガーナ	MC	モナコ	TG	トーゴ
BE	ベルギー	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BF	ブルキナ・ファソ	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BG	ブルガリア	GW	ギニア・ビサウ	MK	マケドニア旧ユーゴスラヴィア共和国	TR	トルコ
BJ	ベナン	GR	ギリシャ	ML	マリ	TT	トリニダード・トバゴ
BR	ブラジル	HR	クロアチア	MN	モンゴル	UA	ウクライナ
BY	ベラルーシ	HU	ハンガリー	MR	モリタニア	UG	ウガンダ
CA	カナダ	ID	インドネシア	MW	マラウイ	US	米国
CF	中央アフリカ	IE	アイルランド	MX	メキシコ	UZ	ウズベキスタン
CG	コンゴ	IL	イスラエル	NE	ニジェール	VN	ヴェトナム
CH	スイス	IN	インド	NL	オランダ	YU	ユーゴスラビア
CI	コートジボワール	IS	アイスランド	NO	ノールウェー	ZA	南アフリカ共和国
CM	カメルーン	IT	イタリア	NZ	ニュージーランド	ZW	ジンバブエ
CN	中国	JP	日本	PL	ポーランド		
CU	キューバ	KE	ケニア	PT	ポルトガル		
CY	キプロス	KG	キルギスタン	RO	ルーマニア		
CZ	チェコ	KP	北朝鮮	RU	ロシア		
DE	ドイツ	KR	韓国	SD	スーダン		
DK	デンマーク	KZ	カザフスタン	SE	スウェーデン		
EE	エストニア	LC	セントルシア				

明細書

複数符号系列同時生成器及びそれを使用した CDMA 無線受信装置

技術分野

この発明は、複数の互いにはほぼ直交関係にある符号系列を同時に生成する符号生成器及びそれを使用した CDMA 無線受信装置に関する。

従来の技術

この種の符号系列生成器は、通信の分野においてさまざまな目的に使用される。例えば、無線通信で伝送情報の秘匿のために、送信側のデジタルデータにスクランブル回路によって秘匿コード(符号)と呼ばれる符号系列を掛け合わせ、受信側のデスクランブル回路では、受信データに送信側の秘匿コードと同じ種類で同じ位相の秘匿コードを掛け合わせる。また、CDMA 無線通信では、拡散符号と呼ばれる符号系列を用いて多元接続を行っている。送信側では、データに拡散符号を掛け合わせて送信を行い、受信側では、受信信号に拡散コード(符号)を掛け合わせた後にデータを取り出す。異なるコード(符号)は直交しており、送信側と受信側で同じ種類で同じ位相の拡散符号を用いる事で通信を行う。

秘匿無線通信や CDMA 無線通信において、送信側で使用している符号系列が未知の場合、受信側では送信側の符号系列の種類を検索する必要がある。使用される符号系列の種類数は決まっているので、その検索の際、複数の符号系列を用いて並列に行えば、検索の時間を短縮することができる。また、CDMA 無線通信において、1 ユーザ(利用者)が複数の符号系列を同時に用いれば(マルチコード)、高速伝送が可能となるため、多種多様なサービスを提供することができる。

図 1 に、従来の CDMA 無線通信の移動機の受信装置の構成の一例を示す。この構成での受信信号の流れを説明すると、アンテナ 11 にて受信された信号は、無線部 12 によって復調され、ベースバンド信号に変換される。このベースバンド信号は、A/D 変換器 13 によりデジタル信号に変換される。符号発生器 14₁~14₄は、マルチパスサーチ 15 にて検出した拡散符号情報とフレームタイミングが与えられている。そのため、符号発生器 14₁~14₄では送信側の拡散符号に同期した符号が生成される。よって、相関器 16₁~16₄において A/D 変換器 13 よりのベースバンド信号と符号発生器 14₁~14₄からの拡散符号とがそれぞれ乗算されて逆拡散され、こ

れによって元の信号が取り出せる。その後、これら逆拡散された信号は検波器 17₁ ~ 17₄ でそれぞれ検波され RAKE 合成器 18 で合成された後、信号処理部 19 へ渡される。ここで、相関器 16₁ ~ 16₄ での逆拡散処理においては、受信信号に含まれている異なる伝達経路(マルチパス)からの信号の分離が可能であるので、この受信処理はパスタイバーシチ効果のある RAKE 受信である。

この符号系列としては符号間の直交性が優れた例えばゴールド符号系列が用いられる。ゴールド符号系列生成器は図 2 A に示すように、第 1 M 系列生成器 14A と、第 2 M 系列生成器 14B と、これら M 系列生成器 14A, 14B の岡出力の排他的論理和を計算する排他的論理和算器 14X とよりなる。なお、以下の全ての図において、円の中に “-” で示す記号は排他的論理和を表すものとする。第 1、第 2 M 系列生成器 14A, 14B は互いに異なる M 系列、つまりどのような位相関係で比較しても互いに異なる符号を生成する。

M 系列生成器 14A はシフトレジスタ SR と排他的論理和算器 XR により構成されていて、シフトクロックごとに各シフト段の値が終段 S5 側に 1 段シフトされ、シフトレジスタ SR の終段 S5 より M 系列が出力されると共にその出力と、途中のシフト段の出力との排他的論理和が排他的論理和算器 XR でとられ、その出力がシフトレジスタ SR の初段 S1 に帰還される。第 2 M 系列生成器 14B は例えばそのシフトレジスタの複数シフト段に排他的論理和算器 XR をそれぞれ接続し、出力との排他的論理和をとり初段に帰還している。つまり、排他的論理和算器を接続するシフト段の位置又は / 及び数を異ならせることにより、互いに異なる M 系列を生成する。M 系列を構成する 1 シフトレジスタ SR 内のレジスタ値はクロック毎に変化するが周期性があり、レジスタ値の取りうるすべての組み合わせが終了すればもとの初期値に戻る。シフトレジスタ SR のシフト段数を n とすれば周期長は $2^n - 1$ チップである。この様な 2 つの異なる M 系列を排他的論理和算器 XR で互いに加算(排他的論理和)することにより、M 系列と同じ周期のゴールド符号系列が得られる。

異なるゴールド符号系列は、M 系列を構成するシフトレジスタに設定する初期値を変化させることで生成することが出来る。ユーザは異なる複数のゴールド符号系列を同時に使用することで、送信側のゴールド符号系列同定時間の短縮や、

高速データ伝送を実現する。

従来において、無線通信分野においては異なる複数の符号系列を同時に生成するためには、各符号系列ごとに符号生成器を用いていた。このため、生成符号系列の数が多いと、回路規模や消費電力が増大する。

日本国特許出願公開 7-264098 にはスペクトル拡散通信方式において、複数の拡散符号を同時に生成する符号生成器として図 2 B に示すものが示されている。つまり M 系列生成器 14 の出力を末尾ビット付加器 14C0 へ供給すると共にシフトレジスタ 14SR へ供給し、シフトレジスタ 14SR の各シフト段の出力をそれぞれ末尾ビット付加器 14C1～14Cn へ供給し、末尾ビット付加器 14C0～14Cn よりそれぞれ互いにはほぼ直交した符号系列を出力する。M 系列生成器 14、シフトレジスタ 14SR、末尾ビット付加器 14C0～14Cn は、同一のクロックにより動作させられる。このようにして $n+1$ 個の拡散符号を生成する。

図 2 B に示した符号生成器によれば、各符号系列ごとに符号生成器を用いる場合より回路規模及び消費電力が共に小さくなる。

しかし図 2 B に示した符号生成器において、末尾ビット付加器 14C0～14Cn で各入力された符号系列、つまり位相が 1 ビットずつ順次ずれた符号の各末尾（符号周期の終り）に 1 ビットを付加して相互の直交性を与えているが、1 ビットずれるだけで、符号間に、大きな相互相関が生じてしまう。末尾ビット付加器 14C0、14C1 の出力符号が例えば図 2 C に示す符号 1、符号 2 とする（各符号 1、2 の末尾にはそれぞれ “1” が付加されている）。符号 1 が例えば伝送路遅延で 1 ビット右へシフトすると、この 1 ビット右シフト符号 1 と、符号 2 とは最初の 1 ビットと、末尾の 1 ビットの 2 ビットしか異なっておらず、両符号の相互相関は著しく大きくなり、異なる符号として扱えなくなる。

このように図 2 B に示した符号発生器で生成された複数の符号は移動通信のような伝搬遅延が変動している通信に使用すると、チャネル間干渉が生じるおそれがある。

先に述べたように M 系列生成器 14A の生成符号系列の周期長は 2^n-1 チップである。M 系列生成器 14A のシフトレジスタ SR の各シフト段よりそれぞれ符号系列を取り出せば、互いに遅延量が異なる符号系列が得られる。しかし、このようにし

て得られる符号系列は、周期長が 2^n-1 チップであるから、符号系列の遅延は 2^n-1 通り存在するが、シフトレジスタ SR の各段から取り得る符号系列は n 個に過ぎない。しかも、これらは位相が順次 1 チップずれているだけである。 2^n-1 個の符号系列から位相が十分離れた任意の符号系列を選択しようとするには、例えば 2^n-1 ビットのシフトレジスタを M 系列符号生成器 14A の出力側に接続し、そのシフトレジスタの任意のシフト段より符号系列を取出すようにすればよい。しかし、 2^n-1 ビットのシフトレジスタは回路規模が大きくなる。あるいは相互に所望の遅延を有する各符号系列をそれぞれ生成する符号生成器を用いることとなり、この場合も符号系列の数が多くなると全体の回路規模が大となる。

従ってこの発明の第 1 の目的は、小さな回路規模で、所望の遅延を相互に有する複数の符号系列を得ることができる複数符号系列同時生成器を提供することにある。

この発明の第 2 の目的は回路規模が小さく、消費電力も小さく、しかも符号相互間に位相ずれが生じて常にも相互相関が小さい、つまり常に直交性が得られる複数の符号を同時に生成する符号生成器を提供することにある。

この発明の第 3 の目的は、複数符号系列生成器を適用し、短時間でセルサーチ及び／又はマルチパスサーチを行える CDMA 受信装置を提供することである。

発明の開示

この発明の第 1 の観点によれば、符号生成手段の生成符号系列に対し、遅延した少なくとも 1 つの符号系列を生成し、遅延されない符号系列と、遅延された符号系列との排他的論理和の演算がなされて所望の遅延をもつ符号系列が得られる。この排他的論理和算により所望の遅延をもつ符号系列を出力する手段が複数設けられる。

この発明第 2 の観点によれば、第 1 の観点において複数符号系列同時生成器と、その内部の符号系列生成手段の生成符号系列とはほぼ直交関係にある符号系列が第 2 符号系列生成手段により生成され、この符号系列と、上記複数符号系列同時生成器よりの複数の符号系列との排他的論理和算がそれぞれなされて互いにほぼ直交関係にある複数の符号系列が同時に得られる。

この発明の第 3 の観点によれば、任意の拡散符号を 1 つの手段により、複数・

同時に生成し、それらの拡散符号と受信された信号との任意な組み合わせの乗算を行い、その相関値を求めることで、在圏セルや周辺セルのサーチを行う。

前記 1 つの拡散符号生成手段において、それぞれ同一量ずつ遅延を与えた符号系列を複数生成し、これらの同一遅延のものの排他的論理和を演算することで、位相がずれた同一符号の拡散符号系列を同時に生成する。

前記遅延が異なる複数の符号系列を生成する手段の 1 つの符号系列と、それとは異なる符号生成初期値の符号系列との排他的論理和を演算することで、異なる符号の拡散符号を同時に生成する。

図面の簡単な説明

図 1 A は従来の CDMA 無線受信装置を示すブロック図。

図 1 B は図 1 A におけるマルチパスサーチャ 15 の構成を示す図。

図 2 A は従来のゴールド符号系列生成器を示すブロック図。

図 2 B は 1 個の符号生成器で同時に複数の符号系列を生成する従来技術を示すブロック図。

図 2 C は図 2 B の構成の問題点を説明するための符号列の例を示す図。

図 3 はこの発明の原理を説明するための M 系列発生器を示す図。

図 4 はこの発明を直接拡散法 CDMA 方式無線機の逆拡散部に適用した例を示すブロック図。

図 5 はこの発明による複数符号系列発生器の実施例を示すブロック図。

図 6 はこの発明による複数符号系列発生器の他の実施例を示すブロック図。

図 7 はこの発明の複数符号系列生成器が使用される CDMA 受信装置の実施例を示すブロック図。

図 8 は図 7 の実施例における在圏セルサーチの際の処理手順を示す流れ図。

図 9 は図 7 中の拡散符号生成器 30 の一例を示す図。

図 10 は符号生成初期値と拡散符号番号との対応を格納したメモリの内容の例を示す図。

図 11 は図 9 に示す拡散符号発生器を、その 1 つの拡散符号に対し、位相の異なる符号を複数生成する構成に変更した例を示す図。

図 12 は同一符号で位相が異なる複数の拡散符号を生成する拡散符号生成器の

他の例を示す図。

図 1 3 は同一符号で位相が異なる複数の拡散符号の生成と、これと符号を異にする拡散符号とを同時に生成する拡散符号生成器 30 の構成例を示す図。

図 1 4 は同一符号で位相が異なる複数の拡散符号を生成する他の構成例を示す図。

図 1 5 は M 系列の遅延を任意に変更可能とする複数符号生成器の構成例を示す図。

図 1 6 は M 系列の種類と遅延を任意に変更可能とする拡散符号生成器の構成例を示す図。

発明を実施するための最良の形態

この発明の実施例を説明する前に、まず、この発明により複数の符号系列を生成する原理を説明する。図 3 に示すように、M 段(ここでは $M=5$)の遅延段 $S_0 \sim S_4$ からなるシフトレジスタ SR における複数の所望の遅延段からの出力の排他的論理和を排他的論理和算器 XR により生成し、その出力をシフトレジスタ SR の入力段 S_4 に帰還するよう構成した M 系列生成器 10 において、シフトクロック CLK によりシフト動作をさせることにより例えば 2^M-1 チップ長の M 系列符号 $y(k)$ を生成することができることは周知である。以下では、シフトレジスタ SR の入力段に帰還される M 系列を出力するこの排他的論理和算器 EXOR を帰還排他的論理和算器と呼ぶことにする。シフトレジスタ SR に保持されている値 $S_0(k) \sim S_4(k)$ (以下これをレジスタ値と呼) は、クロック CLK 毎のシフト動作により変化していくが、 2^M-1 クロック周期でそのレジスタ値は繰り返される。

図 3 に示すように、 $k(=0, 1, 2, \dots)$ 回シフトした後のシフトレジスタ SR のレジスタ値を

$$S(k) = \begin{pmatrix} S_0(k) \\ S_1(k) \\ S_2(k) \\ S_3(k) \\ S_4(k) \end{pmatrix}$$

とする。ただし、ここではシフト段を最終段側から S_0, S_1, S_2, S_3, S_4 とする。また、

k 回シフト後の状態において、シフトレジスタ SR から出力されるビットを $y(k)$ とすると、 $y(k)$ はタップ T0 と T3 の出力 $S_0(k)$ と $S_3(k)$ の排他的論理和を演算することにより得ることができるので、

$$y(k) = S_0(k) + S_3(k)$$

$$= (1\ 0\ 0\ 1\ 0) \begin{pmatrix} S_0(k) \\ S_1(k) \\ S_2(k) \\ S_3(k) \\ S_4(k) \end{pmatrix} = (1\ 0\ 0\ 1\ 0) S(k) \quad (1)$$

即ち、 $y(k)$ は、シフトレジスタ SR の帰還されるタップの位置を表すベクトルと k 回シフト後のレジスタ値との内積によって表すことができる。一方、図 3 において、レジスタ値は 1 動作クロックで全体が左に 1 チップシフトし、その結果、シフト段 S_0, S_1, S_2, S_3, S_4 にはそれぞれ

$$S_0(k+1) = S_1(k)$$

$$S_1(k+1) = S_2(k)$$

$$S_2(k+1) = S_3(k)$$

$$S_3(k+1) = S_4(k)$$

$$S_4(k+1) = S_0(k) + S_3(k)$$

が保持される。レジスタ値の初期値を $S(0)$ とすれば、1 回シフトしたときのレジスタ値 $S(1)$ は次式で表される。

$$\begin{aligned} S(1) &= \begin{pmatrix} S_1(0) \\ S_2(0) \\ S_3(0) \\ S_4(0) \\ S_0(0) + S_3(0) \end{pmatrix} = \begin{pmatrix} 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 1 & 0 \end{pmatrix} \begin{pmatrix} S_0(0) \\ S_1(0) \\ S_2(0) \\ S_3(0) \\ S_4(0) \end{pmatrix} \\ &= A_a S(0) \end{aligned}$$

ただし、

$$A_a = \begin{pmatrix} 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 1 & 0 \end{pmatrix}$$

とする。

上述の処理を繰り返せば、

$$S(2) = A_a^2 S(0)$$

$$S(n) = A_a^n S(0) \quad (2)$$

となる。つまり、 n 回シフト後のレジスタ値 $S(n)$ は、初期値に対して行列 A_a^n を作用することにより得られる。式(1), (2)より、 n 回シフト後に出力されるビット $y(n)$ は次式で表される。

$$y(n) = (10010)A_a^n S(0) = T_{an} S(0) \quad (3)$$

ただし、 T_{an} は 1 行 5 列の行列(横ベクトル)であり、

$$T_{an} = (10010)A_a^n \quad (4)$$

と表される。以上のことは例えば U. S. Patent No. 5, 596, 516 に示されている。

n 回シフト後の出力 $y(n)$ を表す式(3)は、初期値 $S(0)$ が設定されたシフトレジスタに対し、 T_{an} で表現されるタップの出力の排他的論理和と同じであることを意味している。そこで、シフトレジスタ SR の、タップベクトル T_{an} 中の要素“1”の位置に対応する全てのタップの出力の排他的論理和をとるもう 1 つの排他的論理和算器(第 2 の排他的論理和算器と呼ぶ)を設ければ、シフトレジスタに設定された現在の値 $S(0)$ に対し、帰還排他的論理和算器から出力 $y(0)$ が得られると同時に、第 2 の排他的論理和算器から n 回シフト後の出力 $y(n)$ が得られる。

例えば、

$$S(0) = \begin{pmatrix} 0 \\ 0 \\ 0 \\ 0 \\ 1 \end{pmatrix}, \quad n = 3$$

を式(3)に適用した場合、

$$A_a^3 = \begin{pmatrix} 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 1 & 0 \\ 0 & 1 & 0 & 0 & 1 \\ 1 & 0 & 1 & 1 & 0 \end{pmatrix}$$

$$T_{a3} = (10010)A_a^3 = (01011) \quad (5)$$

式(4)より、図3のタップ T1, T3, T4 から信号を取り出し、排他的論理和を排他的論理和算器 XR11 と XR12 によりとることにより、3回シフト後の出力 $y(k+3)$ を現在のレジスタ値から得ることができる。帰還排他的論理和算器に接続されるシフト段のタップ位置を表すタップベクトルを T と表すと、一般に、 n シフト後の出力 $y(n)$ を現在のレジスタ値から生成するためには、次式

$$T_{an} = TA_a^n \quad (6)$$

で表されるタップ位置の出力の排他的論理和を生成すればよい。

この発明の実施の形態を直接拡散法の CDMA 方式無線機の逆拡散部に適用した場合について説明する。この種の無線機の逆拡散部は、図4に示すように、制御部 40 からの情報に基づき、複数の種類の拡散符号がこの発明による拡散符号生成器 30 において生成され、受信信号は複数の逆拡散器 16 において前記複数の拡散符号の対応するものによってそれぞれ逆拡散され、逆拡散された信号は複数の同期検波器 17 においてそれぞれ同期検波され、ユーザデータとして出力される。

図5にこの発明の実施例を示し、図2Aと対応する部分に同一符号を付けてある。この実施例ではシフトレジスタ SR1 の初段 S1、第2段 S2、第3段 S3、第4段 S4、第5段 S5、つまり各シフト段からそれぞれ出力が取出され、つまり相互に遅延量が異なる複数のM系列が取出される。これら複数のM系列を組合せて排他

的論理和演算を行って所望の遅延をもつM系列を得る。この例ではシフトレジスタ SR1 の第2及び第5段 S2, S5 からのM系列が排他的論理和算器 XR01 で排他的論理和がとられ、初段 S1 に帰還される。クロック発生器 39 からのシフトクロック CLK は同期してシフトレジスタ SR1 のシフト動作を行わせることにより、第1のM系列が排他的論理和算器 XR01 から生成される。第2段 S2 のM系列と第4段 S4 のM系列とが排他的論理和算器 XR11 へ供給され、その排他的論理和算器 XR11 の出力と初段 S1 のM系列とが排他的論理和算器 XR12 へ供給されてその出力として所望の遅延が与えられた第2のM系列を得る。また第3段 S3 の符号系列と第5段 S5 の符号系列とが排他的論理和算器 XR13 へ供給され、その出力として他の所望の遅延が与えられた第3のM系列を得る。

同様にしてシフトレジスタ SR2 のシフト段 S2, S3, S4, S5 の出力が排他的論理和算器 XR21, XR22, XR23 により排他的論理和がとられ、第1 M系列として初段 S1 に帰還される。クロック発生器 39 からのクロック CLK に同期してシフトレジスタ SR2 がシフト動作を行うことにより、排他的論理和算器 XR23 から第1のM系列とは異なる種類のM系列が生成される。なお、以下の他の実施例においては、特に説明の必要がない限り、図にはクロック発生器 39 を示さない。

このようにして任意のmビット遅延のM系列を生成するには前述したこの発明の原理に従って、次のようにして、互いに排他的論理和演算をとるべきシフト段の位置を求めればよい。

いま図5に示したようにM系列生成器 31A のシフトレジスタ SR1 の第2段 S2 と第5段 S5 とが帰還排他的論理和算器 XR01 の入力に接続され、その出力側がシフトレジスタの初段 S1 に接続されてM系列生成器が構成されている場合、その各シフト段中の排他的論理和算器に接続されているものを“1”、接続されていないものを“0”で表わすと、この例ではタップベクトルは(10010)となる。このM系列生成器 31A の帰還排他的論理和算器から出力されるM系列に対し、mチップ進んだM系列を得るには式(4)から次式を計算すればよいことがわかる。ただし、和は排他的論理和をとるものとする。

11

$$(10010) \begin{pmatrix} 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 1 & 0 \end{pmatrix}^m$$

例えば $m=3$ の場合、

$$(10010) \begin{pmatrix} 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 1 & 0 \end{pmatrix}^3 = (10010) \begin{pmatrix} 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 1 & 0 \\ 0 & 1 & 0 & 0 & 1 \\ 1 & 0 & 1 & 1 & 0 \end{pmatrix} \\ = (01011)$$

となる。この演算結果であるベクトル(01011)中の要素“1”と対応するシフト段、S1, S2, S4 の出力側を図3と同様に図5に示すように排他的論理和算器 XR11, XR12 に接続して、これらシフト段 S1, S2, S4 の出力M系列の排他的論理和演算を行えば、シフトレジスタ SR1 の現在のレジスタ値 S(0)に対し、常に3回シフト後のレジスタ値 S(3)での帰還排他的論理和算器 XR01 の出力 y(3)と同じ値が排他的論理和算器 XR12 の出力に得られる。即ち、排他的論理和算器 XR12 の出力には帰還排他的論理和算器 XR01 の出力に対し、常に3チップ進んだM系列が得られる。M系列の繰り返し周期を 2^n-1 チップとすれば、3チップ進んだM系列は 2^n-4 チップ遅れたM系列と同じなので、以下においては帰還排他的論理和算器 XR01 の出力M系列に対し、他の任意の組の遅延段の排他的論理和により得られるM系列を遅延M系列と呼ぶこともある。

このように、図5の実施例によれば、所望のシフト回数m後のM系列と同じ位相のM系列を生成するよう、シフトレジスタ SR1 におけるシフト段の組を決め、その組のシフト段の排他的論理和を生成する排他的論理和算器を設けることにより、mビット位相の進んだM系列を生成することができる。この様なシフト段の組を複数決め、それぞれの組に対する排他的論理和算器を設けることにより、位相の異なる複数のM系列を得ることができる。つまり図5の例ではM系列生成器

31A と 3 つの排他的論理和算器 XR11~XR13 とにより、互いに所望の遅延をもつ 3 つの M 系列が同時に得られる。

この図 5 の例では、この発明による複数符号系列同時生成器 31 の他に、M 系列生成器 31A の生成符号と異なる M 系列を生成する M 系列生成器 32 を設け、1 個の M 系列生成器 32 より M 系列と、複数符号系列生成器 31 より 3 つの M 系列とがそれぞれ排他的論理和算器 X1, X2, X3 で演算されて、互いにほぼ直交関係の 3 つのゴールド符号系列を出力する場合を示している。M 系列生成器 32 には、シフトレジスタ SR2 の複数のシフト段からの出力の排他的論理和を排他的論理和算器 XR21, XR22, XR23 により生成し、シフトレジスタ SR2 の初段 S1 に帰還すると共に M 系列として出力する。M 系列生成器 32、複数符号系列同時生成器 31、排他的論理和算器 X1, X2, X3 はクロック発生器 39 より共通のクロック CLK により動作される。なお、シフトレジスタ SR2 に全シフト段に“0”を設定すると符号生成器 32 は“0”のみの系列を出力し、従って、排他的論理和算器 X1, X2, X3 は単に符号系列生成器 31 の生成した 3 つの M 系列をそのまま出力することになる。

図 6 は複数の M 系列生成器が生成する M 系列を様々に組み合わせてそれぞれ排他的論理和をとることにより多数の異なる符号系列を生成する場合の実施例を示し、図 5 と対応する部分に同一符号を付けてある。この例では図 5 中の符号生成器 32、複数符号系列同時生成器 31 の他に、更に複数符号系列同時生成器 33 が設けられる。この複数符号系列同時生成器 33 はこの例では M 系列生成器 31A, 32 と異なる M 系列生成器 33A と、その複数のシフト段から取り出した遅延符号系列を組合せて排他的論理和算器 XR31~XR34 により排他的論理和演算を行い、全体として、相互に所望の遅延をもつ 3 つの符号系列を得ている。

M 系列生成器 33A の出力符号系列と同時生成器 31 の 3 つの符号系列との排他的論理和演算を演算器 X1, X2, X3 で行い、また M 系列生成器 31A の出力符号系列と排他的論理和算器 XR32, XR34 の各出力符号系列との排他的論理和演算を演算器 X4, X5 で行い、更に演算器 X1~X5 の各出力符号系列と M 系列生成器 32 の出力符号系列と排他的論理和演算を演算器 X6~X10 でそれぞれ行って、5 つの互いにほぼ直交関係の符号系列を得る。ただしこの場合、出力される符号系列はゴールド系列ではない。

上述の実施例においてはM系列生成器を用いたが、これらM系列生成器の少くとも1つ、あるいは全部を他の符号生成器を用いてもよい。その場合、各符号生成器から発生する符号系列は相互にほぼ直交関係にあればよい。また符号系列生成のために内蔵された遅延素子を利用して、複数遅延符号系列を取出し、これらを組合せて排他的論理和演算を行うことにより、相互に所望の遅延をもった複数の符号系列を生成したが、符号系列生成器の外部に少ないシフト段のシフトレジスタを接続し、これを合せ利用して、所望の遅延符号系列や、これを得るための排他的論理演算に用いるものを得てもよい。

図6に示した手法で、複数符号系列同時生成器、符号系列生成器を更に多く設け、その出力を相互に排他的論理和演算してもよい。また上述ではゴールド符号又はM系列符号を複数同時に生成することを基本としたが同時に生成される複数の符号系列は互にほぼ直交関係にあればよい。

CDMA 受信装置に適用した実施例

従来のCDMAを用いた無線通信方式における受信装置において、例えば移動機では電源投入時や待ち受け状態時などに自分の在圏すべきセル判定、自分の在圏している周辺セルのサーチ、もしくは自分が受信するマルチパスのサーチを専用のサーチャと呼ばれる手段で行っていた。従来の構成では、図1A、1Bを参照して説明したように、移動機受信装置には符号発生器 14_i 、相関器 16_i 、検波器 17_i 、からなる受信信号の逆拡散・検波を行う受信フィンガ $F_{n_i}(i=1, 2, 3, 4)$ と、それとは独立した受信チャネルのマルチパスサーチを専用に行うマルチパスサーチャ15とが設けられている。この従来構成において移動機の電源投入時の立ち上がり動作、即ち自分の在圏セル判定から信号受信開始までの動作の概略を以下に説明する。

移動機の電源が入ると、移動機はまずマルチパスサーチャ15によってA/D変換器13よりのベースバンド信号を取込み、自分が在圏すべきセルをサーチする。マルチパスサーチャ15の構成は図1Bに示すとおりである。生成符号番号指定器23は、メモリ24から候補となる基地局の拡散符号を読み出し、符号発生器25に生成すべき拡散符号を指定する。符号発生器25はその指定された拡散符号を生成し、乗算器26でその拡散符号とA/D変換器13よりの入力信号と掛け合わせる。

相関値判定 27 はその掛け合わされた結果より、入力信号と符号発生器 25 で生成された拡散符号との相関値を計算する。算出された相関値が所定の閾値より高いかどうか判定し、入力信号の拡散符号を特定し、在圏するセルを判定する。ここでセルを識別する拡散符号には、通常繰り返し周期の非常に長い拡散符号が用いられる。このため、全ての長周期拡散符号(単にロングコードとも呼ぶ)について入力信号との相関を 1 つずつとって、自セルの拡散符号の判定を行うには非常に時間がかかる。

このように高速なセルサーチを可能とし、より柔軟な受信装置を構成するためには、複数の拡散コード生成器が必要なため、同路規模や消費電流が増大してしまう欠点があった。

そこで、前述したこの発明による複数符号同時発生器を使用すれば、複数の拡散符号生成器を同時に用いることなく、少ない回路規模、消費電流で、異なる複数の拡散コードを同時に生成し、高速なセルサーチを可能とする CDMA 受信装置を提供することができる。

図 7 はこの発明を CDMA 移動機の受信装置に適用した場合の例であり、図 1 A と対応する部分に同一符号を付けてある。この実施例では複数の拡散符号を同時に発生する拡散符号生成器 30 が設けられ、これら互いに異なる拡散符号は相関器 $16_1 \sim 16_i$ へ供給され、それぞれ A/D 変換器 13 よりのベースバンド入力信号との相関が求められる。またこの実施例では、これら相関器 $16_1 \sim 16_i$ で求めた相関値がセルサーチ制御器 40 へ供給され、セルサーチ制御器 40 はその入力された各相関値に基づき、セルサーチ制御を行う。

図 7、図 8 を用いて、この構成の移動機の立ち上がり動作時の概略を説明する。移動機に電源が投入されると、まず自分の在圏するセルの判定を行う。セルサーチ制御器 40 は候補となる複数の拡散符号をメモリ 24 から受信フィンガの数だけ読み出し、拡散符号生成器 30 に対し設定する(ステップ S1)。拡散符号生成器 30 は、設定された複数の拡散符号を同時に生成し、各相関器 $16_1 \sim 16_i$ へ供給する(ステップ S2)。各相関器 $16_1 \sim 16_i$ では、拡散符号生成器 30 からのそれぞれ別々な拡散符号で入力信号に対する相関値を求める(ステップ S3)。セルサーチ制御器 40 は、各相関器 $16_1 \sim 16_i$ でそれぞれ算出された相関値とそれが得られたタイミング

を記憶する(S4)。セルサーチ制御器 40 は、算出された相関値とある閾値と比較し (ステップ S5)、それを越える拡散符号が無い場合は各相関器 $16_1 \sim 16_i$ に対し、新たな候補となる拡散符号を指定して、ステップ S2 に戻り (ステップ S6)、拡散符号生成器 30 に設定し同時に閾値を越える拡散符号がでるまで繰り返す。閾値を越える拡散符号が検出された場合、それを在圏するセルの拡散符号と判定し (ステップ S7)、拡散符号生成器 30 に対し判定した在圏セルの拡散符号を通知する (ステップ S8)。更にセルサーチ制御器 40 は、その判定した拡散符号によって相関値が得られる複数のタイミングを、マルチパス受信信号と判断し、これらのタイミングのうち相関値の最も高いタイミングを拡散符号生成器 30 に通知する (ステップ S8)。これにより拡散符号生成器 30 は、通知された拡散符号の複数のタイミングで逆拡散に使用できるように位相を変えて複数同時に生成し、相関器 $16_1 \sim 16_i$ に設定する。セルサーチ制御器 40 は拡散符号生成器 30 と各相関器 $16_1 \sim 16_i$ に対して受信信号と乗算を行う拡散符号を指定する。これにより各受信フィンガは与えられた位相の拡散符号により受信ベースバンド信号を逆拡散することにより、在圏すると判定したセルの信号の受信を開始する (ステップ S9)。

次に、通話中の動作の概略を説明する。通話中は受信フィンガのうち幾つかのフィンガを用いて、受信信号の逆拡散を行うとともに、残りのフィンガによって周辺セルサーチを行う。例えば、受信信号レベルが十分大きければ 1 つのフィンガのみを使って受信信号の逆拡散を行い、他の全てのフィンガを周辺セルサーチに使用すれば、セルサーチのために 1 度に設定できる拡散符号の数を最大にできるので、サーチ時間が最も短縮される。逆に、受信信号レベルが非常に低い場合は、1 つのフィンガを周辺セルサーチに使用し、他の全てのフィンガを受信信号の逆拡散に使用し、得られた信号を RAKE 受信することにより、最大のダイバーシティ効果を得ることができる。

まずセルサーチ制御器 40 は、拡散符号生成器 30 に対し、受信信号用の拡散符号とその逆拡散タイミングに合わせた位相、及び周辺セルサーチのための拡散符号を指定し、拡散符号を生成させる。更に、ここでは、受信信号の逆拡散のために、例えば 1 フィンガをのぞいて他の全ての受信フィンガに拡散符号生成器 30 から生成された拡散符号を指定する。通話中は、残る 1 フィンガに対し、基地局から

ら報知される周辺セル情報に基づき、周期的に設定するロングコードを切り換え周辺セルをサーチし、レベルを測定する。この測定したレベル情報は、受信信号の品質低下によりハンドオーバーが必要になった場合に用いられる。なお、ここでは周辺セルサーチ用のフィンガを 1 としたが、前述のように受信信号レベルによりそのフィンガ数を可変として、周辺セルサーチの効率を上げることもできる。

上記実施例における拡散符号生成器 30 での拡散符号生成の実施例を以下に示す。この実施例では、拡散符号はゴールド符号系列を用いる。異なるゴールド符号系列は、M 系列を構成するシフトレジスタの初期値を変化させることで生成することが出来る。図 9 を用いてこの実施例における拡散符号生成器 30 の動作を説明する。この実施例では、M 系列生成器 31, 32 のシフトレジスタ SR1, SR2 から排他的論理和算器へは任意のシフト段で信号を取り出すことが可能な構成とされている。

M 系列生成器 31 は図 1 A と同様にシフトレジスタ SR1 の所望のシフト段、ここでは S5、の出力と、中間シフト段、ここでは S2 の出力、との排他的論理和を排他的論理和算器 XR01 により演算し、その出力を第 1 の M 系列として出力すると共に、第 1 シフト段 S1 に帰還する構成となっている。第 1 の M 系列とは位相が異なる第 2、第 3 の M 系列は、シフトレジスタ SR1 の複数のシフト段からの出力の排他的論理和により生成する。この例では、第 1 シフト段 S1 と第 4 シフト段 S4 の出力の排他的論理和を排他的論理和算器 XR12 で演算し、第 1 M 系列より 1 ビット進んだ第 2 M 系列として出力する。また、第 2 シフト段 S2 と第 3 シフト段 S3 と第 5 シフト段 S5 の出力の排他的論理和を排他的論理和算器 XR13, XR14 で生成し、第 3 M 系列として出力している。一方、M 系列生成器 32 も図 1 A と同様に、シフトレジスタ SR2 の第 2、第 3、第 4、第 5 シフト段の出力の全ての排他的論理和を排他的論理和算器 XR21, XR22, XR23 により演算し、その出力をシフトレジスタ SR2 の入力に帰還するとともに、1 つの M 系列として出力するように構成されている。

図 9 の M 系列生成器 31 からは位相の異なる 3 つの M 系列が生成され、これらが M 系列生成器 32 からの M 系列と排他的論理和がそれぞれとられることにより、互いにほぼ直交する 3 つのゴールド符号が得られる。帰還排他的論理和算器 XR01 に与える選択したシフト段の組により決まる位相の M 系列に対し、他の位相の M 系列を生成するに排他的論理和算器 XR12, XR13, XR14 に与えるシフト段の組み合わせ

を前述の発明の原理に従って決めることにより、所望の位相のM系列を生成することができる。例えば図9のM系列生成器31の場合、シフト段数は5なので、 $2^5-1=31$ 通りの位相を設定するシフト段の組み合わせが存在する。従って、31種類のゴールド符号を生成することが可能である。所望の位相のM系列得るためにM系列生成器31の排他的論理和をとるべきシフト段の組を変える場合を説明したが、M系列生成器32の排他的論理和算器XR21, XR22, XR23に与えるシフト段の組を選ぶことによりM系列生成器32の発生するM系列の位相を変えてもゴールド符号を変えることができる。更に、M系列生成器31, 32の両方においてM系列の位相を変えることにより、生成されるゴールド符号の位相を任意に変えることができる。

排他的論理和算器XR01, XR12, XR14からの互いに位相の異なるM系列は、排他的論理和算器X1, X2, X3において、排他的論理和算器XR23からの異なるM系列と排他的論理和がとられる。排他的論理和算器XR12及びXR14の出力からは、排他的論理和算器XR01からのM系列よりそれぞれ1ビット及び2ビット遊んだM系列が生成されるため、排他的論理和算器X1, X2, X3から異なる3種類のゴールド符号が同時に出力される。

例えば、移動機の電源投入時のセルサーチ時には、この拡散符号生成器30のM系列生成器31のシフトレジスタSR1には符号生成初期値が設定され、M系列生成器32のシフトレジスタSR2には予め決めた初期値が設定される。移動機内メモリには、符号生成初期値とそれによって生成される3つのゴールド符号である拡散符号の番号(逆拡散を行う拡散符号に対応した番号)が、図10に示すように対応づけられている。よってある符号生成初期値をシフトレジスタに設定し、それによって拡散符号を生成する。その符号生成初期値から生成された拡散符号の、受信ベースバンド信号に対する相関値に前述の閾値を超えるピークが無かった場合は、次の符号生成初期値がシフトレジスタに設定され、3つの更に異なる拡散符号(ゴールド符号)を生成する。シフトレジスタSR1の初期値を一定とし、シフトレジスタSR2に対する初期値を変更しても同様の動作を行うことができる。

発明の原理で説明したように、M系列生成器において、シフトレジスタに設定する初期値を変化させることは、発生させるM系列の位相を変えることである。

図 9 で簡単に触れたように、2 つの M 系列生成器 31, 32 のシフトレジスタ SR1, SR2 に設定する初期値を同時に変更することにより、生成される 3 つのゴールド符号の位相を同時に変更することができる。

図 11 は異なる位相の 3 つの同じゴールド符号を生成する拡散符号生成器 30 の構成例を示す。この構成では、接続された帰還排他的論理和算器 XR01 の入力に接続された 2 つのシフト段、ここでは S2 と S5 の相対位置関係を保って 1 段後段側にずれた 2 つのシフト段 S3, S6 が排他的論理和算器 XR12 に接続され、更に 1 段後段側にずれたシフト段 S4, S7 が排他的論理和算器 XR13 に接続されている。従って、これら互いにずれた 3 つの組のシフト段に接続された排他的論理和算器 XR01, XR12, XR13 からは 1 チップずつ順次遅れた同じ M 系列が出力される。

一方、M 系列生成器 32 においては、4 つのシフト段 S2～S5 からの出力の排他的論理和が排他的論理和算器 XR21, XR22, XR23 によら生成され、シフトレジスタ SR2 の入力段に帰還される構成は図 9 の場合と同様であるが、更に、これら 4 つのシフト段の相対位置関係を保って 1 段後段側にずれたシフト段 S3～S6 の出力の排他的論理和を生成する 3 つの排他的論理和算器 XR24, XR25, XR26 と、更に 1 段後段側にずれたシフト段 S4～S7 の出力の排他的論理和を生成する 3 つの排他的論理和算器 XR27, XR28, XR29 が設けられている。従って、これら排他的論理和算器 XR26, XR29 からは、排他的論理和算器 XR23 から出力される M 系列に対し同じ M 系列で位相が順次 1 チップずつ遅れた M 系列が出力される。

M 系列生成器 31 からのこれら 1 チップずつずれた 3 つの M 系列は、M 系列生成器 32 からの 1 チップずつずれた 3 つの M 系列の対応するものと互いに排他的論理和がそれぞれ排他的論理和算器 X1, X2, X3 によりとられる。その結果、排他的論理和算器 X1, X2, X3 からは位相が 1 チップずつ順次遅れた同じゴールド符号がそれぞれ出力される。

図 11 の構成においても、M 系列生成器 31, 32 の一方のシフトレジスタに設定する初期値を変更することにより、生成される位相の異なるゴールド符号を変更することができる。また、両方のシフトレジスタ SR1, SR2 に設定する初期値を変更することにより、生成される 3 つのゴールド符号の位相を同時に変更することができる。

図 1 1 の構成の拡散符号生成器 30 により生成される 1 チップずつ位相がずれた複数のゴールド符号を、移動機のマルチパスサーチ時に拡散符号として使用する場合は、1 度に複数の位相による逆拡散を行うことができるので、短時間にそれぞれのマルチパスに同期した位相(相関が最大となるタイミング)を検出することができる。その場合、セルサーチ時に図 8 中のステップ S8 で得られた相関値ピーク間隔に相当する位相差が、排他的論理和算器 X1, X2, X3 からの各拡散符号に与えられるように、シフトレジスタ SR1, SR2 に対し接続する排他的論理和算器の接続シフト段のそれぞれの組を互いにずらせばよい。

図 1 2 は位相の異なる同じゴールド符号を拡散符号として複数生成する拡散符号生成器 30 の他の構成例を示す。この例では、図 1 1 の場合のような 2 つのシフトレジスタ SR1, SR2 のシフト段に対する接続位置を同じようにずらして複数の排他的論理和算器を設けるのではなく、図 9 に示した構成において、排他的論理和算器 X1 の出力側にシフトレジスタ 35 を接続し、シフトレジスタ 35 の出力を取出すシフト段を選定して、所望の相対位相の拡散符号(ここではゴールド符号)を複数生成するようにしたものである。図に破線で示すように、排他的論理和算器 X2, X3 についても同様にそれらの出力をシフトレジスタ 36, 37 を接続し、それらの所望のシフト段から他のゴールド符号を所望の位相で出力するようにしてもよい。

図 1 3 は複数の異なる種類のゴールド符号を生成し、そのうち少なくとも 1 つの種類については異なる位相で複数のゴールド符号を生成するように構成した拡散符号生成器 30 の例である。ここでは、3 つの M 系列生成器 31, 32, 33 が設けられ、そのうち 2 つ 31, 32 は図 1 1 と同じ手法でシフトレジスタ SR1, SR2 に対する排他的論理和算器の接続シフト段の位置を同じようにずらし、2 つの異なる位相で同じゴールド符号を排他的論理和算器 X1, X2 から生成している。第 3 の M 系列生成器 33 はシフトレジスタ SR3 の異なる 2 つのシフト段 S2, S5 を帰還排他的論理和算器 XR03 に接続し、その排他的論理和出力をシフトレジスタ SR3 の入力段に帰還すると共に、M 系列として出力している。M 系列生成器 32, 33 の生成した M 系列は排他的論理和算器 X3 で排他的論理和がとられ、ゴールド系列が生成される。ただし、図 1 3 の構成例では帰還排他的論理和算器 XR01 に接続するシフトレジスタ

タ SR1 のシフト段位置と、帰還排他的論理和算器 XR03 に接続するシフトレジスタ SR3 のシフト段位置とが同じになっているので、排他的論理和算器 X1 と X3 から異なるゴールド符号を出力するためには、シフトレジスタ SR1 と SR3 に設定する初期値を互いに異ならせる必要がある。

なお、上記実施例では 3 つの拡散コード生成しているが、同様な方法で図 7 の受信装置に適用できるような 4 コードを生成することも可能である。上述において例えば図 9 の状態から図 11 への変換はシフトレジスタと、DSP(デジタルシグナルプロセッサ)との組合せで、その排他的論理和算を行うシフト段の組合せをソフトウェアにより簡単に変更することができる。上述において複数の符号系列生成手段として M 系列を用いたり他の符号系列発生手段を用いてもよい。

前述の図 11 では、帰還排他的論理和算器 XR01 の出力である M 系列に対し、所望のチップ数、ここでは 1 チップと 2 チップ遅れた M 系列を生成するため、帰還排他的論理和算器 XR01 に接続するシフト段 S2, S5 の組に対し、それぞれ 1 段及び 2 段、後段側にずらした位置であるシフト段の組 S3, S6 及び S4, S7 からそれぞれ排他的論理和算器 XR12, XR13 に接続している。これにともない、シフトレジスタ SR2 においても、帰還排他的論理和算器 XR23 から出力される M 系列に対し、それぞれ 1 チップ、及び 2 チップ遅れた M 系列を生成するように、シフト段 S2, S3, S4 の組に対し、シフト段 S3, S4, S5 の組及びシフト段 S4, S5, S6 の組はそれぞれ 1 段及び 2 段ずらされており、それらの組毎に排他的論理和がとられている。

この様に所望の遅延を有する M 系列を得るためには、シフトレジスタは M 系列生成のために必要な最も短いシフト段数(基本シフト段数)、ここでは 5 段より更に後段側にシフト段数が拡張されている。この様なシフト段数の拡張を行わないでも前述の式(6)の計算を行うことで、M 系列生成のための基本シフト段数で構成される M 系列生成器(例えば図 3)において任意の遅延(又は進み)を有する M 系列を生成するために排他的論理和をとるべきシフト段の位置を計算により求めることができる。

図 14 は図 11 と同様に互いに位相の異なるゴールド符号を生成する他の実施例であり、ここでは 2 つの M 系列生成器 31, 32 はそれぞれ利用されるシフト段数が基本シフト段数であるシフトレジスタ SR1, SR2 を使用している。M 系列生

成器 3 1 の構成は図 9 の場合と同じであり、帰還排他的論理和算器 XR01 から出力される M 系列に対し、それぞれ 1 チップ及び 2 チップ進んだ M 系列が生成されるシフト段の位置の組が前述の式 (6) の計算により決定され、図に示すようにシフト段 S1, S4 の組の排他的論理和とシフト段 S2, S3, S5 の組の排他的論理和がとられている。M 系列生成器 3 2 においても帰還排他的論理和算器 XR23 の出力 M 系列に対し、それぞれ 1 チップ及び 2 チップ進んだ M 系列を生成するように、シフト段 S1, S2, S3, S4 の組及び S1, S4, S5 の組が計算により決められており、前者の組のシフト段出力の排他的論理和が排他的論理和算器 XR24, XR25, XR26 によって生成され、後者の組のシフト段出力の排他的論理和が排他的論理和算器 XR27, XR28 によって生成されている。これら M 系列生成器 3 2 からの 3 つの M 系列は、M 系列生成器 3 1 からの 3 つの M 系列と対応する遅延のものが排他的論理和算器 X1, X2, X3 で排他的論理和がとられ、位相の異なる 3 つのゴールド符号として出力される。

図 1 4 の説明においては、帰還排他的論理和出力である M 系列に対し、所望の遅延が与えられた M 系列を生成するようなシフト段の組を計算により求めることができるので、そのような任意の遅延を有する M 系列の生成を行うようにシフト段の組を選択設定可能なことについて述べた。図 1 5 はそのような任意の遅延を与える設定が可能な具体的構成例を示す。この実施例では、生成する M 系列の種類は固定されている例であり、図 1 4 と同様に M 系列生成器 3 1 を構成するシフトレジスタ SR1 の複数のシフト段 S2, S5 の排他的論理和が帰還排他的論理和算器 XR01 により生成され、1 つの M 系列として M 系列生成器から出力されると共に、シフトレジスタ SR1 の初段に帰還される。

M 系列生成器 3 1 は、この実施例では更に 2 つの M 系列を生成するため、乗算回路 MP11, MP12 と、その乗算結果の排他的論理和を生成する排他的論理和回路 X11, X12 を有している。乗算回路 MP11, MP12 にはそれぞれシフトレジスタ SR1 の全シフト段のタップ出力が与えられている。乗算回路 MP11, MP12 にはシフトレジスタ SR1 の全シフト段数と等しいビット数のシフト段選択信号 B1, B2 がそれぞれ与えられ、それぞれ対応するものが乗算される。従って、例えばシフト段選択信号 B1 のビットが “1” に対応するシフト段出力はそのまま排他的論理回路 X11 に与え

られるが、ビットが“0”であれば乗算結果“0”が排他的論理和回路 X11 に与えられる。従って、どのシフト段の組の排他的論理和によりM系列を生成するかを決め、シフト段選択信号の対応するビットが“1”となるように決めればよい。第1の符号系列（帰還排他的論理和算器 XR01 の出力）に対し、生成する第2の符号系列にどれだけの遅延を与えるかを決めれば、演算制御部 50 は式(6) を演算して選択すべきシフト段の組を決定することができる。乗算回路 MP12 と排他的論理和回路 X12 についても同様である。

M系列生成器 32 にも同様の2つの乗算回路 MP21, MP22 と2つの排他的論理和回路 X21, X22 が設けられ、帰還排他的論理和算器 XR23 から生成される符号系列に対し、所望の遅延が与えられた2つの符号系列を同様に生成する。

図15の構成によれば、乗算回路に与えるシフト段選択信号により任意のシフト段の組の排他的論理和を生成することが可能であり、従って、任意の遅延が与えられたM系列を生成することができる。演算制御部 50 はシフトレジスタ SR1, SR2 に初期値 IN1, IN2 を設定し、シフトクロック CLK を与えてシフト動作を行わせることによりそれぞれのM系列生成器 31, 32 から3つの異なる位相のM系列を生成することができる。これらM系列生成器 31 からの3つのM系列と、M系列生成器 32 からの3つのM系列は、遅延の対応するもの同士で出力排他的論理和算器 X1, X2, X3 によりそれぞれ排他的論理和がとられ、位相の異なる3つのゴールド符号を拡散符号として出力される。

図15ではM系列生成器 31 及び 32 の生成するM系列の種類が固定されている場合を示したが、帰還排他的論理和をとるシフト段の組についても乗算回路を使って任意のシフト段の組を選択し、排他的論理和をとる構成としてもよく、その例を図16に示す。この例では、M系列生成器 31 においては図15における排他的論理和算器 XR01 の固定された接続の代わりに、シフトレジスタ SR1 の全タップとシフト段選択信号 B0 との乗算を行う乗算回路 MP10 と、全てのシフト段についての乗算結果の排他的論理和を生成する排他的論理和回路 X10 が追加されている。排他的論理和回路 X10 からの符号系列はシフトレジスタ SR1 の初段に帰還される。M系列生成器 32 についても同様の構成とされ、乗算回路 MP20 と排他的論理和回路 X20 が追加されている。乗算回路 M20 は演算制御部 50 により与えら

れたシフト段選択信号 B5 とシフトレジスタ SR2 の全シフト段からの出力との乗算を行うことにより指定されたシフト段を選択し、排他的論理和回路 X20 に与え、その排他的論理和出力はシフトレジスタ SR2 の初段に帰還される。

図 1 6 の構成によれば、M 系列生成器 3 1、3 2 における乗算回路 MP10、MP20 に与えるシフト段選択信号を変更することによりそれぞれ生成する M 系列の種類を変更することができる。勿論、乗算回路 MP11、MP12、MP21、MP22 に与えるシフト段選択信号 B1、B2、B3、B4 を変更することにより、生成される M 系列の遅延を変更できることは図 1 5 の場合と同様である。

図 1 6 では 2 つの M 系列生成器 3 1、3 2 とも M 系列の種類を変更できるようにした場合を示したが、例えば M 系列生成器 3 1 における帰還 M 系列を生成する構成は図 1 5 と同様に予め決めたシフト段の組を帰還排他的論理和算器 XR01 に固定的に接続した構成としてもよい。逆に、M 系列生成器 3 2 側で生成する M 系列の種類を固定するようにしてもよい。図 1 5、1 6 で示した乗算回路と排他的論理和回路の組合せにより任意のシフト段の組の排他的論理和を生成する構成は、図 3、5、6、9、1 1 のどの構成にも適用することができる。

発明の効果

以上述べたようにこの発明の複数符号系列生成器によれば、符号系列生成器と、排他的論理和算器とを用いて、所望の遅延の符号系列を複数同時に生成することができ、 2^n-1 ビットのシフトレジスタを用意したり、各列の符号生成器を用いる場合より、回路規模を小さなものとすることができ、一消費電力も少ないものとなる。

また、各符号列ごとの符号生成器を設けることなく、ほぼ直交関係の符号系列を複数同時に生成でき、小形に構成でき、消費電力も小さくて済み、携帯電話機のように複数の伝搬遅延が生じる場合でも、各符号系列を確実に分離することができる。

この発明の複数符号系列生成器を CDMA 受信装置に適用すれば、拡散符号生成器を複数使用することなく、簡易な手段で符号系列を複数・同時生成することで無線受信装置における在圏セルサーチ、周辺セルサーチの高速化が可能となり、回路規模や消費電流を少なくすることが出来る。

請求の範囲

1. 複数のシフト段を有し、第1の初期値が設定され、クロックに同期してシフト動作を行うシフトレジスタと、

上記シフトレジスタの予め決めた第1の組の複数のシフト段からの出力の排他的論理和を第1符号系列として出力すると共に、その第1符号系列を上記シフトレジスタの入力に帰還する第1符号生成排他的論理和手段と、

上記第1の組と異なる第2の組のシフト段の出力の排他的論理和を上記第1符号系列に対し所定のチップ数だけ遅延した第2の符号系列として出力する第2符号生成排他的論理和手段と、

上記シフトレジスタのシフト動作を行わせるクロックを供給するクロック手段、とを含む複数符号系列生成器。

2. 請求項1の複数符号系列生成器において、更に、

複数のシフト段を有し、上記第1初期値とは異なる第2初期値が設定され、上記クロックに同期してシフト動作を行う第2シフトレジスタと、

上記第2シフトレジスタの予め決めた第3の組の複数のシフト段の出力の排他的論理和を生成し、第3符号系列として出力すると共にその第3符号系列を上記第2シフトレジスタの入力に帰還する第3符号生成排他的論理和手段と、

上記第1及び第2符号系列と上記第3符号系列との排他的論理和をそれぞれ生成し、互いにはぼ直交する複数の拡散符号として出力する複数の出力排他的論理和手段、

とを含む。

3. 請求項1の複数符号系列生成器において、更に、

複数のシフト段を有し、上記第1初期値とは異なる第2初期値が設定され、上記クロックに同期してシフト動作を行う第2シフトレジスタと、

上記第2シフトレジスタの予め決めた第3の組の複数のシフト段の出力の排他的論理和を生成し、第3符号系列として出力すると共にその第3符号系列を上記第2シフトレジスタの入力に帰還する第3符号生成排他的論理和手段と、

複数のシフト段を有し、上記第1及び第2初期値と異なる第3初期値が設定され、上記クロックに同期してシフト動作を行う第3シフトレジスタと、

上記第 3 シフトレジスタの予め決めた第 4 の組の複数のシフト段の出力の排他的論理和を第 4 符号系列として出力すると共に、上記第 3 シフトレジスタの入力に帰還する第 4 符号生成排他的論理和手段と、

上記第 3 シフトレジスタの上記第 4 の組と異なる第 5 の組の複数のシフト段の出力の排他的論理和を第 5 符号系列として出力する第 5 符号生成排他的論理和手段と、

上記第 1, 第 2, 第 3, 第 4 及び第 5 符号系列のうちのそれぞれ少なくとも 3 つの符号系列を含む予め決めた複数の組合せに対しそれぞれ排他的論理和を生成し、それぞれ互いにはほぼ直交する複数の拡散符号として出力する複数の出力排他的論理和手段、とを含む。

4. 請求項 1 の複数の符号系列生成器において、上記第 1 の組と第 2 の組のシフト段数は同じでありかつ組内の複数のシフト段間の相対位置は同じであり、上記第 1 シフトレジスタにおける上記第 2 の組の複数のシフト段の位置は、上記第 1 の組の複数のシフト段間の相対位置を保持して 1 以上の所定段数ずらした位置であり、更に、

複数のシフト段を有し、上記第 1 初期値とは異なる第 2 初期値が設定され、上記クロックに同期してシフト動作を行う第 2 シフトレジスタと、

上記第 2 シフトレジスタの予め決めた第 3 の組の複数のシフト段の出力の排他的論理和を生成し、第 3 符号系列として出力すると共にその第 3 符号系列を上記第 2 シフトレジスタの入力に帰還する第 3 符号生成排他的論理和手段と、

上記第 2 シフトレジスタの上記第 3 の組とは異なる第 4 の組の複数のシフト段の出力の排他的論理和を生成し、第 4 符号系列として出力する第 4 符号生成排他的論理和手段と、上記第 3 の組と上記第 4 の組のシフト段数は同じでありかつ組内の複数のシフト段間の相対位置は同じであり、上記第 2 シフトレジスタにおける上記第 4 の組の複数のシフト段の位置は、上記第 3 の組の位置を上記所定段数だけ上記第 2 の組のシフト段と同じ方向にずらした位置であり、

上記第 1 及び第 2 符号系列と上記第 3 及び第 4 符号系列の排他的論理和をそれぞれ生成し、互いに所定チップ數位相がずれた第 1 及び第 2 拡散符号として出力する第 1 及び第 2 出力排他的論理和手段、

とを含む。

5. 請求項 1 に記載の複数符号系列生成器において、更に、複数のシフト段を有し、上記第 1 初期値とは異なる第 2 初期値が設定され、上記クロックに同期してシフト動作を行う第 2 シフトレジスタと、

上記第 2 シフトレジスタの予め決めた第 3 の組の複数のシフト段の出力の排他的論理和を生成し、第 3 符号系列として出力すると共にその第 3 符号系列を上記第 2 シフトレジスタの入力に帰還する第 3 符号生成排他的論理和手段と、

上記第 1 及び第 2 符号系列の一方と上記第 3 符号系列との排他的論理和を出力する第 1 出力排他的論理和手段と、

上記第 1 出力排他的論理和手段の出力に接続され、複数のシフト段を有する遅延用シフトレジスタ、

とを含み、上記遅延用シフトレジスタの入力と、シフト段の予め決めた複数の位置から、互いに予め決めたチップ数の遅延が与えられた複数の符号系列が拡散符号としてそれぞれ出力される。

6. 請求項 5 に記載の複数符号系列生成器において、更に、

上記第 1 及び第 2 符号系列の他方と上記第 3 符号系列との排他的論理和を出力する第 2 出力排他的論理和手段と、

上記第 2 出力排他的論理和手段の出力に接続され、複数のシフト段を有する第 2 遅延用シフトレジスタ、

とを含み、上記第 2 遅延用シフトレジスタの入力と、シフト段の予め決めた複数の位置から、互いに予め決めたチップ数の遅延が与えられた複数の符号系列が拡散符号としてそれぞれ出力される。

7. 請求項 4 に記載の複数符号系列生成器において、更に、

複数のシフト段を有し、上記第 2 初期値とは異なる第 3 初期値が設定され、上記クロックに同期してシフト動作を行う第 3 シフトレジスタと、

上記第 3 シフトレジスタの予め決めた第 5 の組の複数のシフト段の出力の排他的論理和を生成し、第 5 符号系列として出力すると共にその第 5 符号系列を上記第 3 シフトレジスタの入力に帰還する第 5 符号生成排他的論理和手段と、

上記第 3 及び第 4 符号系列の一方と上記第 5 符号系列との排他的論理和を生成

し、上記第 1 及び第 2 拡散符号と直交する第 3 拡散符号として出力する第 3 出力排他的論理和手段、

とを含む。

8. 請求項 1, 2, 3 又は 4 の複数符号系列生成器において、上記第 2 符号生成排他的論理和手段は、

上記シフトレジスタの全シフト段のタップ出力がそれぞれ入力されシフト段選択信号に従って所望のシフト段の出力を選択出力する少なくとも 1 つのシフト段選択手段と、

上記シフト段選択手段によりそれぞれ選択されたシフト段の出力の排他的論理和を生成する排他的論理和回路と、

上記所定のチップ数の遅延を与えるシフト段の組を演算により求め、そのシフト段の組を指定するシフト段選択信号をそれぞれ生成し、上記シフト段選択手段に与える演算制御手段、

とを含む。

9. 請求項 8 に記載の複数符号系列生成器において、上記シフト段選択信号は上記シフトレジスタの全シフト段数と同じ数のビットを有し、上記シフト段選択手段は、上記全シフト段の出力と上記シフト段選択信号の対応するビットとを乗算し、乗算結果を出力する乗算回路を含み、上記第 1 排他的論理和手段は上記乗算回路の全ての上記乗算結果の排他的論理和を生成し、上記 M 系列として出力する。

10. 請求項 1, 2, 3 又は 4 の複数符号系列生成器において、上記第 1 符号生成排他的論理和手段は、

上記シフトレジスタの全シフト段のタップ出力がそれぞれ入力されシフト段選択信号に従って所望のシフト段の出力を選択出力するシフト段選択手段と、

上記シフト段選択手段により選択されたシフト段の出力の排他的論理和を生成する排他的論理和回路と、

上記所望の符号系列を生成するシフト段の組を指定するシフト段選択信号を生成し、上記シフト段選択手段に与える演算制御手段、

とを含む。

11. 請求項 8 の複数符号系列生成器において、上記第 1 符号生成排他的論理和

手段は、

上記シフトレジスタの全シフト段のタップ出力がそれぞれ入力されシフト段選択信号に従って所望のシフト段の出力を選択出力するシフト段選択手段と、

上記シフト段選択手段により選択されたシフト段の出力の排他的論理和を生成する排他的論理和回路と、

上記所望の符号系列を生成するシフト段の組を指定するシフト段選択信号を生成し、上記シフト段選択手段に与える演算制御手段、
とを含む。

12. 請求項10の複数符号系列生成器において、各上記シフト段選択信号は上記シフトレジスタの全シフト段の数と同じ数のビットから構成され、各上記第1排他的論理和回路は全ての上記乗算結果の排他的論理和を生成し、上記M系列として出力する。

13. 請求項1, 2, 3, 4又は5に記載の複数符号系列生成器において、上記所定のチップ数をnとすると、上記第2の組の複数のシフト段の位置は次式

$$T_{an} = TA_a^n$$

で与えられるベクトルにより予め決められており、Tは上記第1の組の複数のシフト段の位置を表すタップベクトルを表し、 A_a は上記第1シフトレジスタを1回シフトしたときのレジスタ値の成分を表すマトリクスである。

14. 複数の拡散符号で受信信号をそれぞれ逆拡散して受信データを取り出す複数の受信フィンガを有するCDMA無線受信装置において、上記複数の受信フィンガへそれぞれ拡散符号を同時に生成供給する複数符号系列生成器と、上記複数符号系列生成器に対し発生すべき複数の拡散符号を指定し、どのフィンガに与えるかを指定する制御部、とを含み、

上記複数符号系列生成器は、複数のシフト段を有し、上記制御部により第1の初期値が設定され、クロックに同期してシフト動作を行うシフトレジスタと、上記シフトレジスタの予め決めた第1の組のシフト段からの出力の排他的論理和を第1符号系列として出力すると共に、その第1符号系列を上記シフトレジスタの入力に帰還する第1符号生成排他的論理和手段と、上記第1の組とは異なり、かつ互いに異なる複数の第2の組のシフト段の出力の組毎の排他的論理和を上記第

1 符号系列に対しそれぞれ所定のチップ数だけ遅延した複数の第 2 の符号系列としてそれぞれ出力する複数の第 2 符号生成排他的論理和手段、とを含み、上記第 1 符号系列と複数の上記第 2 符号系列は拡散符号として上記制御部の指定により上記複数の受信フィンガに供給される。

1 5. 請求項 1 4 の CDMA 無線受信装置において、上記複数符号生成器は更に、複数のシフト段を有し、上記第 1 初期値とは異なる第 2 初期値が設定され、上記クロックに同期してシフト動作を行う第 2 シフトレジスタと、

上記第 2 シフトレジスタの予め決めた第 3 の組の複数のシフト段の出力の排他的論理和を生成し、第 3 符号系列として出力すると共にその第 3 符号系列を上記第 2 シフトレジスタの入力に帰還する第 3 符号生成排他的論理和手段と、

上記第 1 及び各第 2 符号系列と上記第 3 符号系列との排他的論理和をそれぞれ生成し、互いにほぼ直交する拡散符号としてそれぞれ出力する複数の出力排他的論理和手段、
とを含む。

1 6. 請求項 1 4 の CDMA 無線受信装置において、上記複数符号系列生成器は更に、複数のシフト段を有し、上記第 1 初期値とは異なる第 2 初期値が設定され、上記クロックに同期してシフト動作を行う第 2 シフトレジスタと、

上記第 2 シフトレジスタの予め決めた第 3 の組の複数のシフト段の出力の排他的論理和を生成し、第 3 符号系列として出力すると共にその第 3 符号系列を上記第 2 シフトレジスタの入力に帰還する第 3 符号生成排他的論理和手段と、

複数のシフト段を有し、上記第 1 及び第 2 初期値と異なる第 3 初期値が設定され、上記クロックに同期してシフト動作を行う第 3 シフトレジスタと、

上記第 3 シフトレジスタの予め決めた第 4 の組の複数のシフト段の出力の排他的論理和を第 4 符号系列として出力すると共に、上記第 3 シフトレジスタの入力に帰還する第 4 符号生成排他的論理和手段と、

上記第 3 シフトレジスタの上記第 4 の組とは異なり、かつ互いに異なる複数の第 5 の組のシフト段の出力の組毎の排他的論理和を複数の第 5 符号系列としてそれぞれ出力する複数の第 5 符号生成排他的論理和手段と、

上記第 1, 第 2, 第 3, 第 4 及び第 5 符号系列のうちのそれぞれ少なくとも 3 つの

符号系列を含む予め決めた複数の組合せに対しそれぞれ排他的論理和を生成し、それぞれ互いにほぼ直交する複数の拡散符号として出力する複数の出力排他的論理和手段、
とを含む。

17. 請求項14のCDMA無線受信装置において、上記複数符号系列生成器は上記第1の組と各上記第2の組のシフト段数は同じでありかつ組内のシフト段間の相対位置も同じであり、上記第1シフトレジスタにおける上記複数の第2の組の位置は、上記第1の組の位置を1段以上それぞれ異なる段数ずらした位置であり、更に、

複数のシフト段を有し、上記第1初期値とは異なる第2初期値が設定され、上記クロックに同期してシフト動作を行う第2シフトレジスタと、

上記第2シフトレジスタの予め決めた第3の組の複数のシフト段の出力の排他的論理和を生成し、第3符号系列として出力すると共にその第3符号系列を上記第2シフトレジスタの入力に帰還する第3符号生成排他的論理和手段と、

上記第2シフトレジスタの上記第3の組とは異なり、かつ互いに異なる複数の第4の組のシフト段の出力の組毎の排他的論理和を複数の第4符号系列としてそれぞれ出力する複数の第4符号生成排他的論理和手段と、上記第3の組と各上記第4の組のシフト段数は同じでありかつ組内の複数のシフト段間の相対位置も同じであり、上記第2シフトレジスタにおける上記複数の第4の組の位置は、上記第3の組の位置を上記それぞれ異なる段数だけ上記複数の第2の組と同じ方向にずらした位置であり、

上記第1及び第2符号系列と上記第3及び第4符号系列の排他的論理和をそれぞれ生成し、互いに所定チップ數位相がずれた複数の拡散符号として出力する複数の出力排他的論理和手段、
とを含む。

18. 請求項14に記載のCDMA無線受信装置において、上記複数符号系列生成器は、更に、

複数のシフト段を有し、上記第1初期値とは異なる第2初期値が設定され、上記クロックに同期してシフト動作を行う第2シフトレジスタと、

上記第 2 シフトレジスタの予め決めた第 3 の組の複数のシフト段の出力の排他的論理和を生成し、第 3 符号系列として出力すると共にその第 3 符号系列を上記第 2 シフトレジスタの入力に帰還する第 3 符号生成排他的論理和手段と、

上記第 1 符号系列及び上記複数の第 2 符号系列の少なくとも 1 つと上記第 3 符号系列との排他的論理和を出力する第 1 出力排他的論理和手段と、

上記第 1 出力排他的論理和手段の出力に接続され、複数のシフト段を有する遅延用シフトレジスタ、

とを含み、上記遅延用シフトレジスタの入力と、シフト段の予め決めた複数の位置から、互いに予め決めたチップ数の遅延が与えられた複数の符号系列が拡散符号としてそれぞれ出力される。

19. 請求項 18 に記載の CDMA 無線受信装置において、上記複数符号系列生成器は、更に、

上記第 1 符号系列及び上記複数の第 2 符号系列の他の少なくとも 1 つと上記第 3 符号系列との排他的論理和を出力する第 2 出力排他的論理和手段と、

上記第 2 出力排他的論理和手段の出力に接続され、複数のシフト段を有する第 2 遅延用シフトレジスタ、

とを含み、上記第 2 遅延用シフトレジスタの入力と、シフト段の予め決めた複数の位置から、互いに予め決めたチップ数の遅延が与えられた複数の符号系列が拡散符号としてそれぞれ出力される。

20. 請求項 17 に記載の CDMA 無線受信装置において、上記複数符号系列生成器は、更に、

複数のシフト段を有し、上記第 2 初期値とは異なる第 3 初期値が設定され、上記クロックに同期してシフト動作を行う第 3 シフトレジスタと、

上記第 3 シフトレジスタの予め決めた第 5 の組の複数のシフト段の出力の排他的論理和を第 5 符号系列として出力すると共にその第 5 符号系列を上記第 3 シフトレジスタの入力に帰還する第 5 符号生成排他的論理和手段と、

上記第 3 及び第 4 符号系列の 1 つと上記第 5 符号系列との排他的論理和を生成し、上記第 1 及び第 2 拡散符号と直交する第 3 拡散符号として出力する第 3 出力排他的論理和手段、

とを含む。

2 1. 請求項 1 4 に記載の CDMA 無線受信装置において、上記複数符号系列生成器の上記第 2 符号生成排他的論理和手段は、

上記シフトレジスタの全シフト段のタップ出力がそれぞれ入力されシフト段選択信号に従って所望のシフト段の出力を選択出力する複数のシフト段選択手段と、

上記複数のシフト段選択手段によりそれぞれ選択されたシフト段の出力の排他的論理和を生成する複数の排他的論理和回路と、

上記所定のチップ数の遅延をそれぞれ与えるシフト段の組を演算によりそれぞれ求め、それらのシフト段の組をそれぞれ指定するシフト段選択信号をそれぞれ生成し、上記複数のシフト段選択手段に与える演算制御手段、

とを含む。

2 2. 請求項 2 1 に記載の CDMA 無線受信装置において、各上記シフト段選択信号は上記シフトレジスタの全シフト段数と同じ数のビットを有し、各上記シフト段選択手段は、上記全シフト段の出力と上記シフト段選択信号の対応するビットとを乗算し、乗算結果を出力する乗算回路を含み、上記第 1 排他的論理和手段は全ての上記乗算結果の排他的論理和を生成し、上記 M 系列として出力する。

2 3. 請求項 1 4 に記載の CDMA 無線受信装置において、上記複数符号系列生成器の上記第 1 符号生成排他的論理和手段は、

上記シフトレジスタの全シフト段のタップ出力がそれぞれ入力されシフト段選択信号に従って所望のシフト段の出力を選択出力する複数のシフト段選択手段と、

上記複数のシフト段選択手段によりそれぞれ選択されたシフト段の出力の排他的論理和を生成する複数の排他的論理和回路と、

上記所定のチップ数の遅延をそれぞれ与えるシフト段の組を演算によりそれぞれ求め、それらのシフト段の組をそれぞれ指定するシフト段選択信号をそれぞれ生成し、上記複数のシフト段選択手段に与える演算制御手段、

とを含む。

2 4. 請求項 2 3 に記載の CDMA 無線受信装置において、上記シフト段選択信号は上記シフトレジスタの全シフト段数と同じ数のビットを有し、上記シフト段選択手段は、上記全シフト段の出力と上記シフト段選択信号の対応するビットとを乗

算し、乗算結果を出力する乗算回路を含み、上記第1排他的論理和手段は上記乗算回路の全ての上記乗算結果の排他的論理和を生成し、上記M系列として出力する。

25. 請求項14に記載のCDMA無線受信装置において、上記第1符号生成排他的論理和手段は、

上記シフトレジスタの全シフト段のタップ出力がそれぞれ入力されシフト段選択信号に従って所望のシフト段の出力を選択出力するシフト段選択手段と、

上記シフト段選択手段により選択されたシフト段の出力の排他的論理和を生成する排他的論理和回路と、

上記所望の符号系列を生成するシフト段の組を指定するシフト段選択信号を生成し、上記シフト段選択手段に与える演算制御手段、
とを含む。

26. 請求項25に記載のCDMA無線受信装置において、上記第1符号生成排他的論理和手段は、

上記シフトレジスタの全シフト段のタップ出力がそれぞれ入力されシフト段選択信号に従って所望のシフト段の出力を選択出力するシフト段選択手段と、

上記シフト段選択手段により選択されたシフト段の出力の排他的論理和を生成する排他的論理和回路と、

上記所望の符号系列を生成するシフト段の組を指定するシフト段選択信号を生成し、上記シフト段選択手段に与える演算制御手段、
とを含む。

27. 請求項25に記載のCDMA無線受信装置において、各上記シフト段選択信号は上記シフトレジスタの全シフト段の数と同じ数のビットから構成され、各上記第1排他的論理和回路は全ての上記乗算結果の排他的論理和を生成し、上記M系列として出力する。

28. 請求項14に記載のCDMA無線受信装置において、上記所定のチップ数をnとすると、上記第2の組の複数のシフト段の位置は次式

$$T_{an} = TA_a^n$$

で与えられるベクトルにより予め決められており、Tは上記第1の組の複数のシ

フト段の位置を表すタプルベクトルを表し、 A_i は上記第 1 シフトレジスタを 1 回シフトしたときのレジスタ値の成分を表すマトリクスである。

29. 請求項 14 に記載の CDMA 無線受信装置において、上記複数符号系列生成器の上記第 2 シフトレジスタに設定する符号生成初期値と、上記互いに異なる複数の拡散符号との対応を記憶した記憶手段と、

セルサーチ時に、上記記憶手段の記憶を用いて上記複数符号系列生成器の上記シフトレジスタに設定する符号生成初期値を変更する手段とが設けられている。

30. 請求項 14 又は 29 に記載の CDMA 無線受信装置において、上記複数符号系列生成器は、同一拡散符号であり、かつ互いに位相がずれたものを生成して上記複数の受信フィンガへ供給する手段を含む。

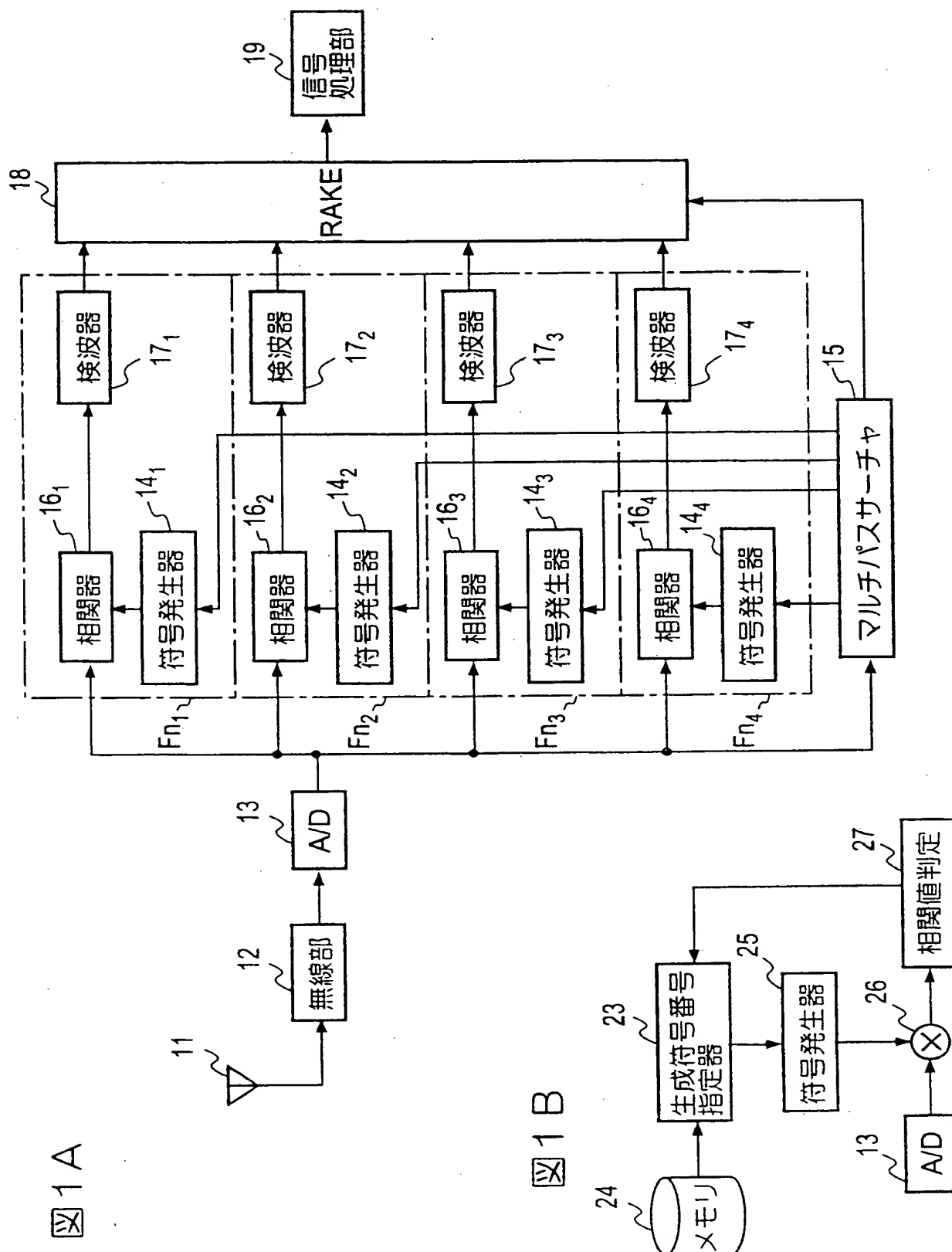
31. 請求項 14 又は 29 に記載の CDMA 無線受信装置において、上記拡散符号生成手段は、シフトレジスタと排他的論理和演算手段とよりなる符号系列発生手段を少なくとも 2 つ備え、

その少なくとも 1 つの符号系列発生手段は符号生成初期値が固定とされ、少なくとも他の 1 つの符号系列発生手段の符号生成初期値が可変とされるものである。

32. 請求項 14 又は 29 に記載の CDMA 無線受信装置において、セルサーチ中は上記符号生成初期値の変更により、上記異なる複数の拡散符号を同時に発生し、通話中は上記少なくとも 2 つの符号発生手段についてそのシフトレジスタと排他的論理和演算手段の接続が、同一接続でシフト段が同一段数だけそれぞれずらされて、複数設けられ、これらのずれが同一の排他的論理和演算手段の出力がそれぞれ互いに排他的論理和演算されて同一符号で位相が互いにずれた拡散符号を出す状態に変更可能とされている。

33. 請求項 31 に記載の CDMA 無線受信装置において、上記符号系列発生手段は少なくとも 3 つであり、その少なくとも 2 つの符号系列発生手段は符号生成初期値が固定され、同一拡散符号でかつ位相が互いに異なる複数の拡散符号を生粋して上記複数受信フィンガへ供給し、上記符号系列発生手段の少なくとも 1 つは符号生成初期値が変更され、その符号系列発生手段の出力符号と、上記符号生成初期値が固定とされた符号系列発生手段の少なくとも 1 つの符号系列との排他的論理和算をとる演算器を有する。

1/13



2/13

図 2A

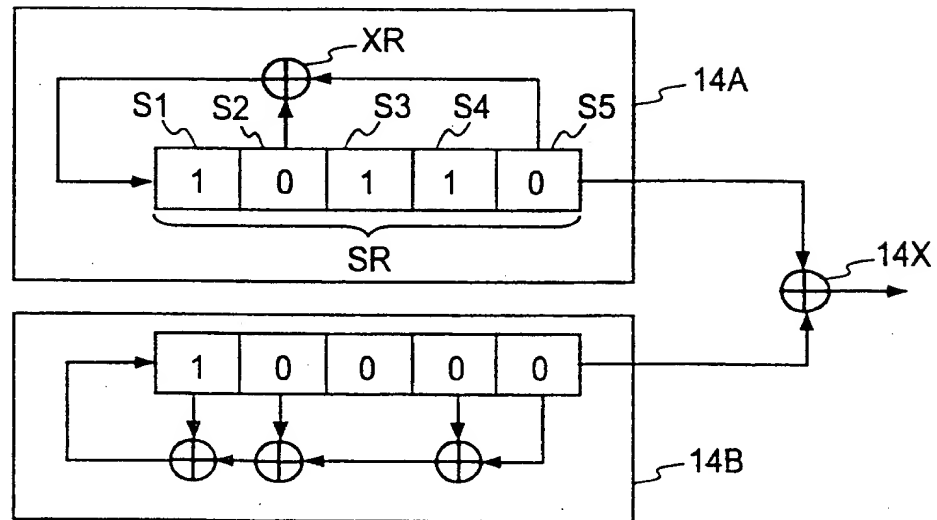
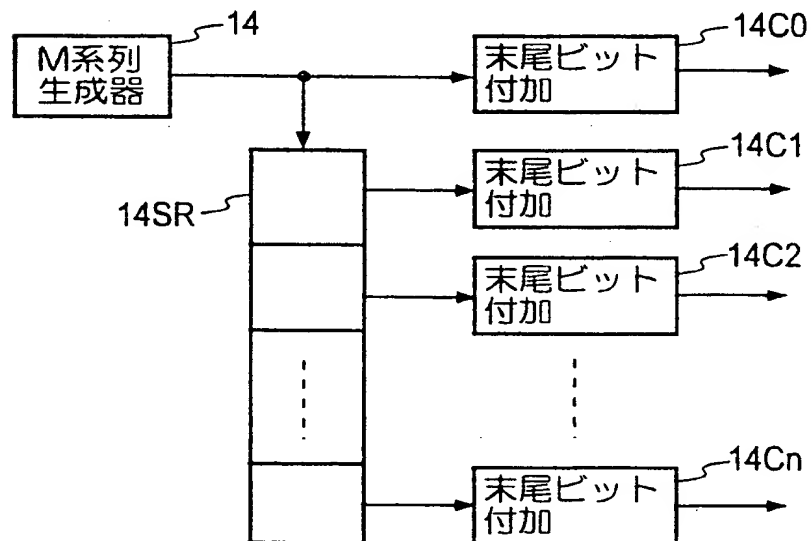


図 2B



符号 1

11111000110111010100001001011001

図 2C

符号 2

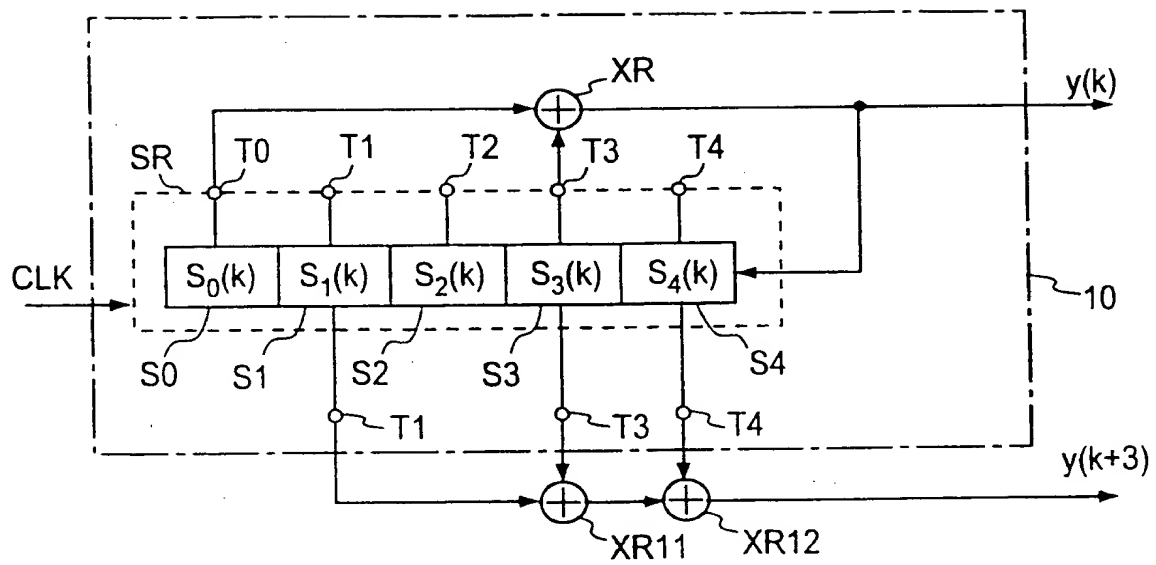
01111100011011101010000100101101

1ビット右シフト符号 1

11111100011011101010000100101100

3/13

図 3



4/13

図 4

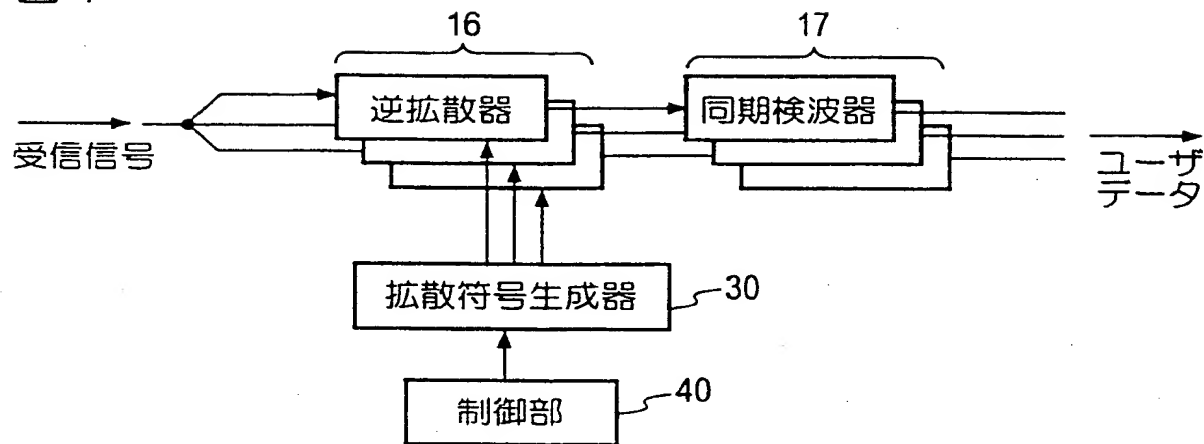
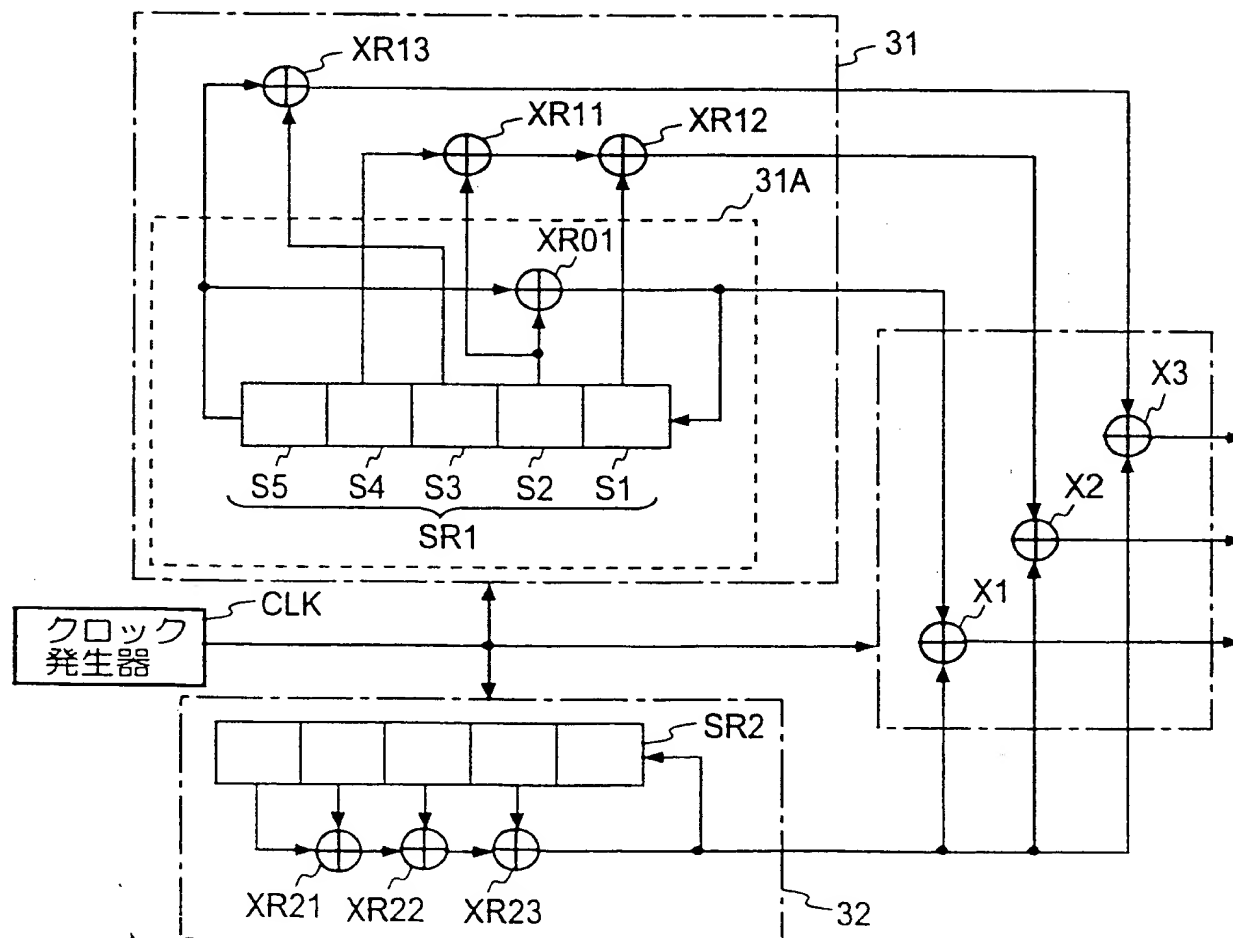
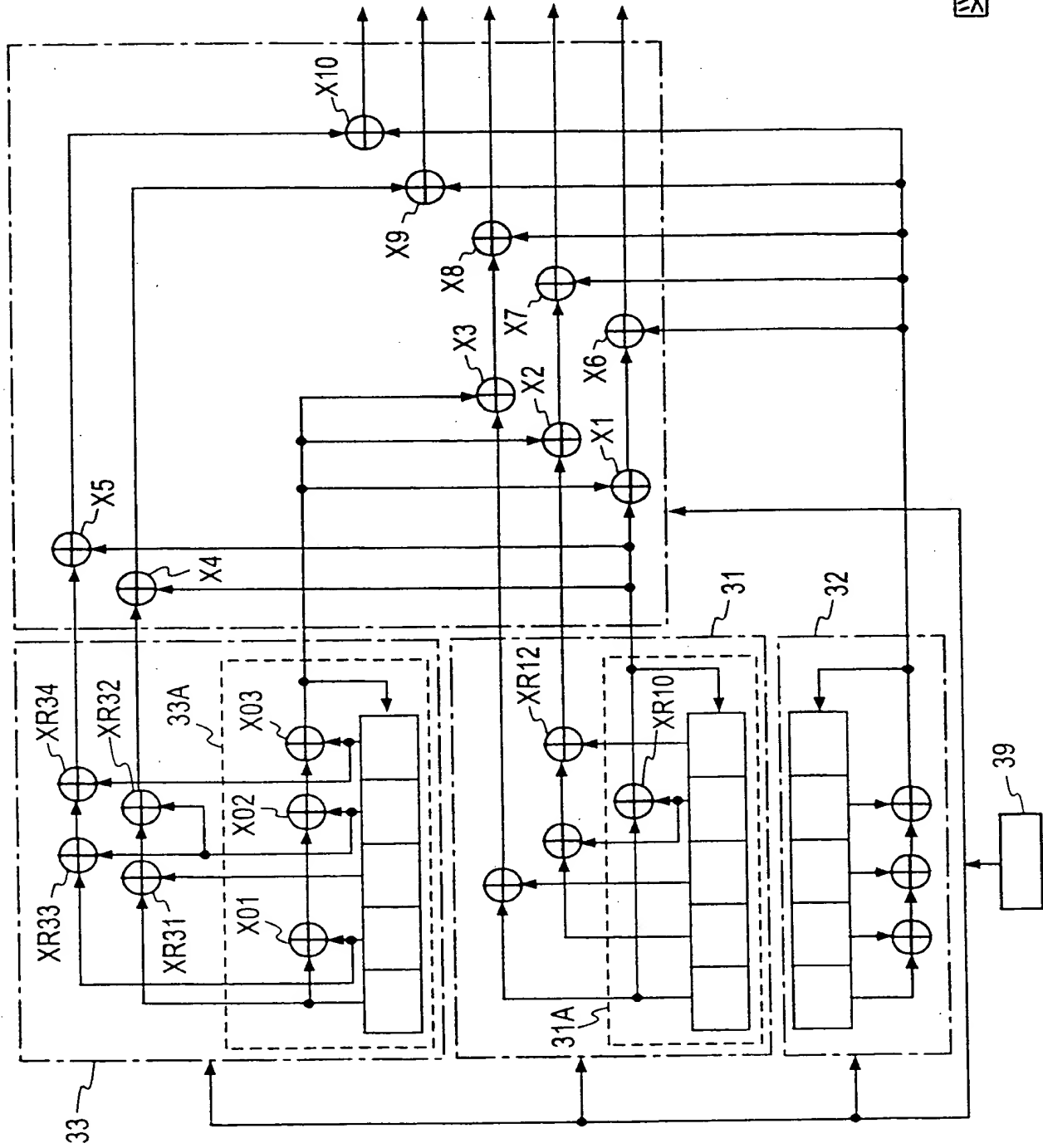


図 5



5/13

6



6/13

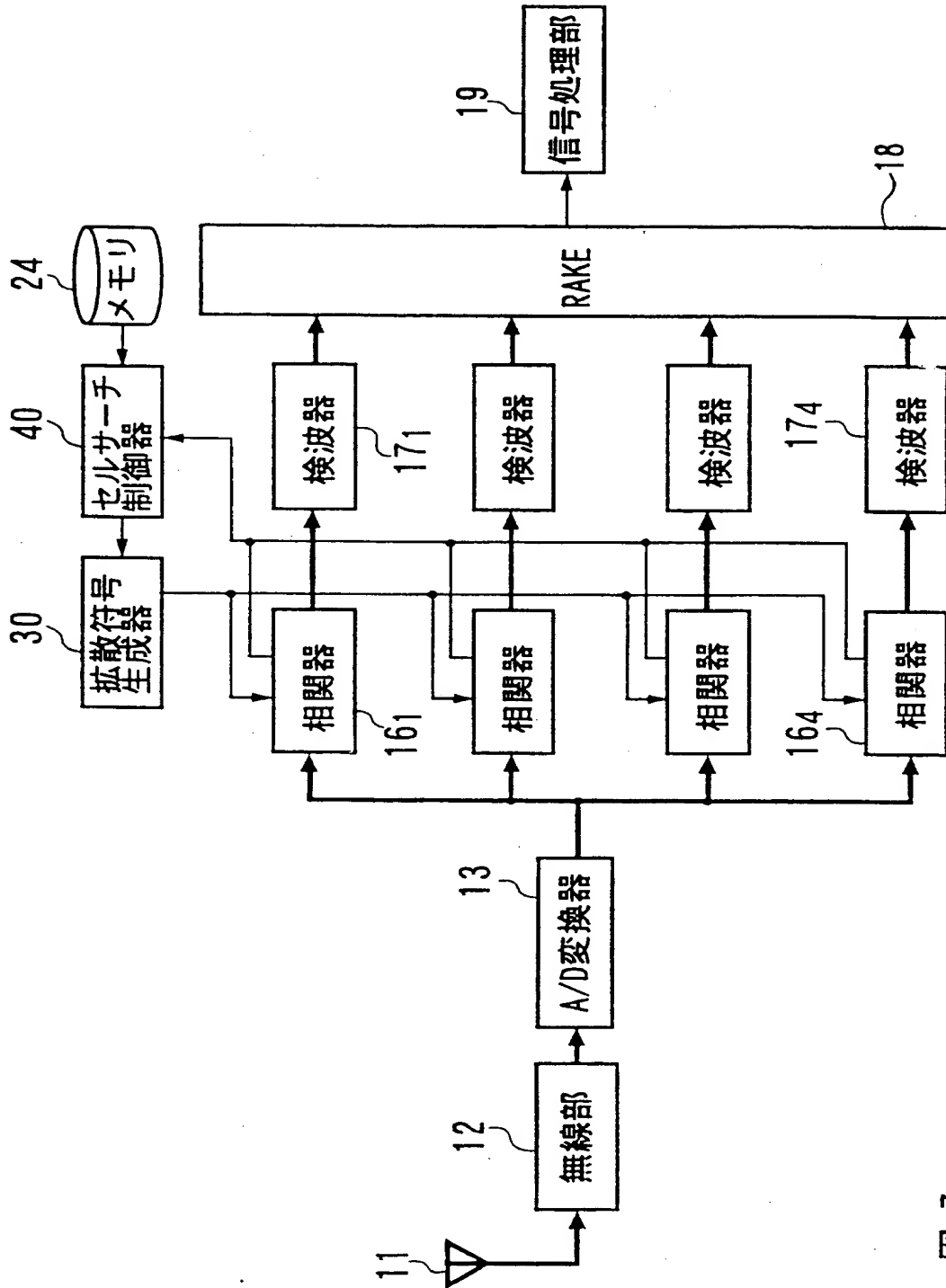


図 7

7/13

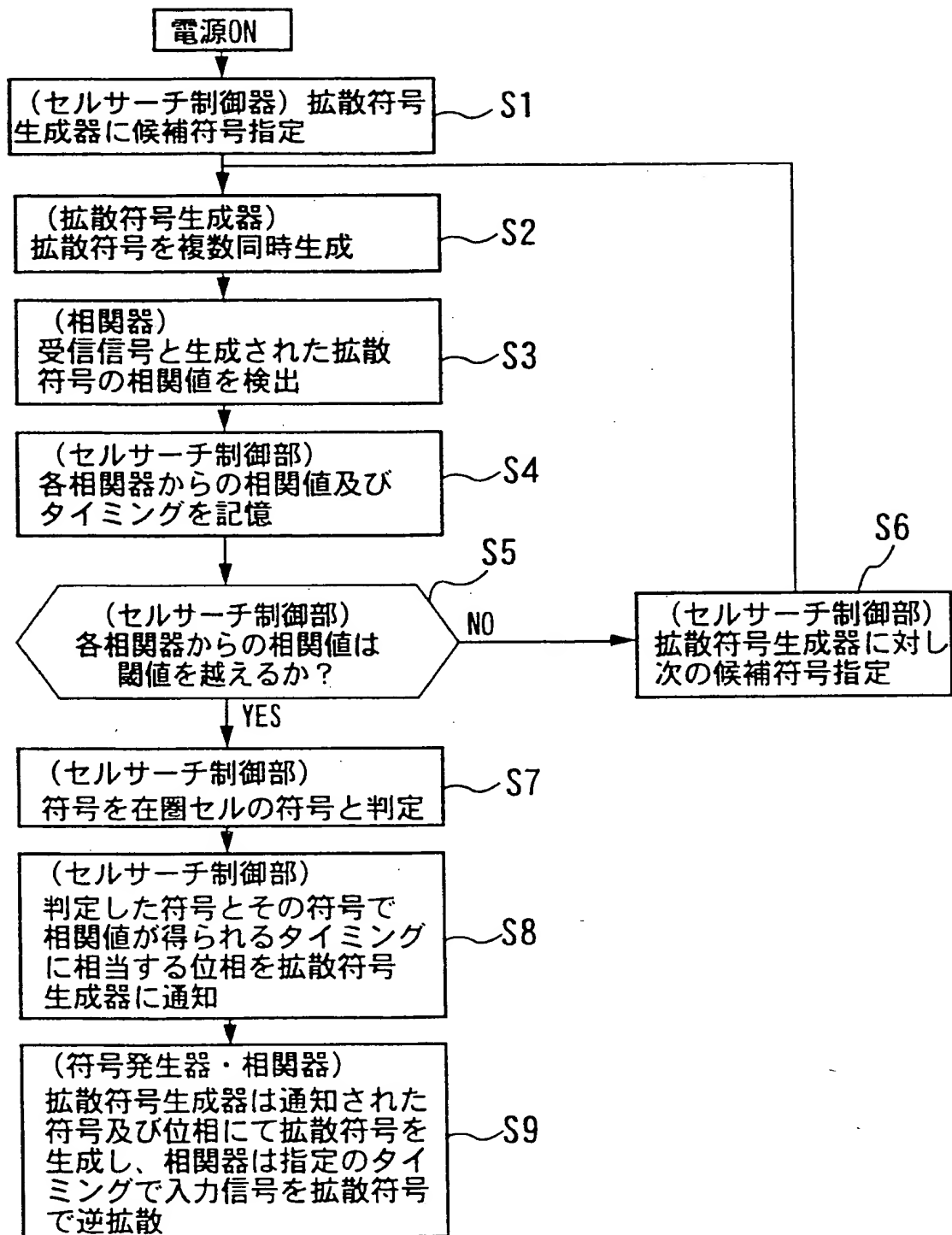


図 8

8/13

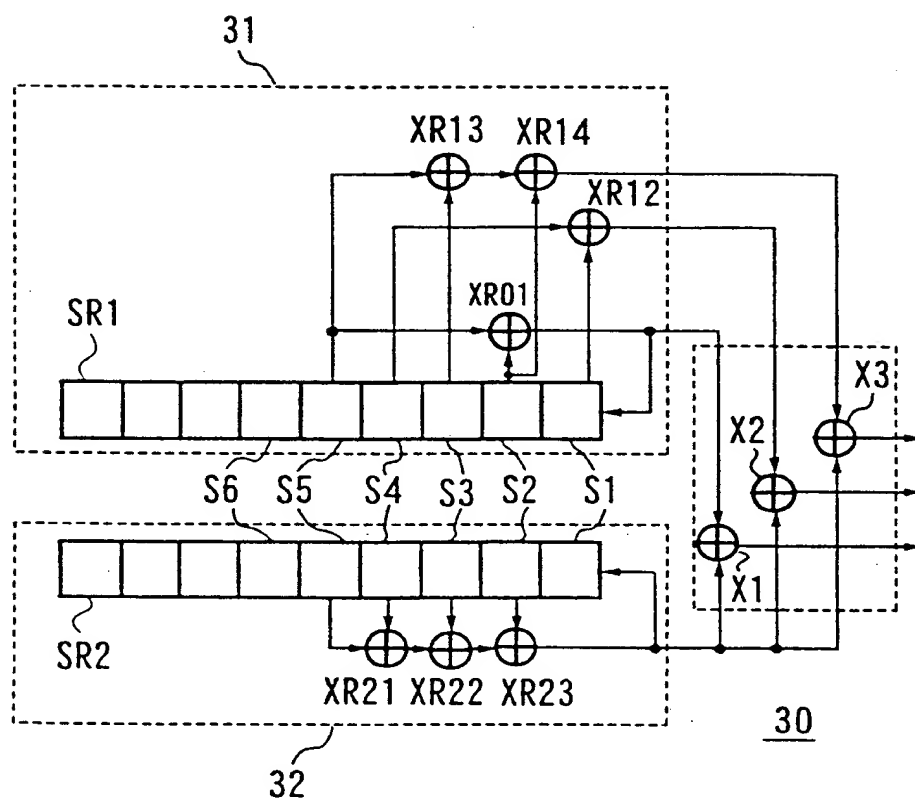


図 9

9/13

符号生成初期値	拡散符号番号
000000001	000000001
	000000002
	000000003
000001000	000000004
	000000005
	000000006
⋮	⋮

図 10

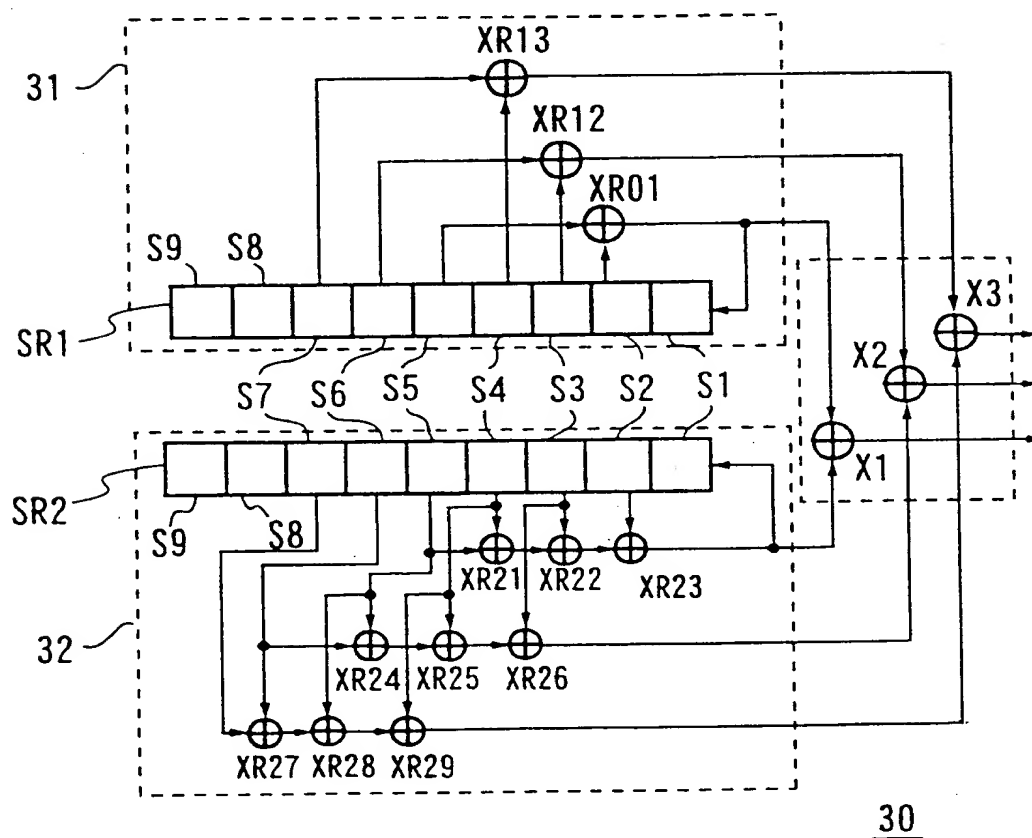


図 11

10/13

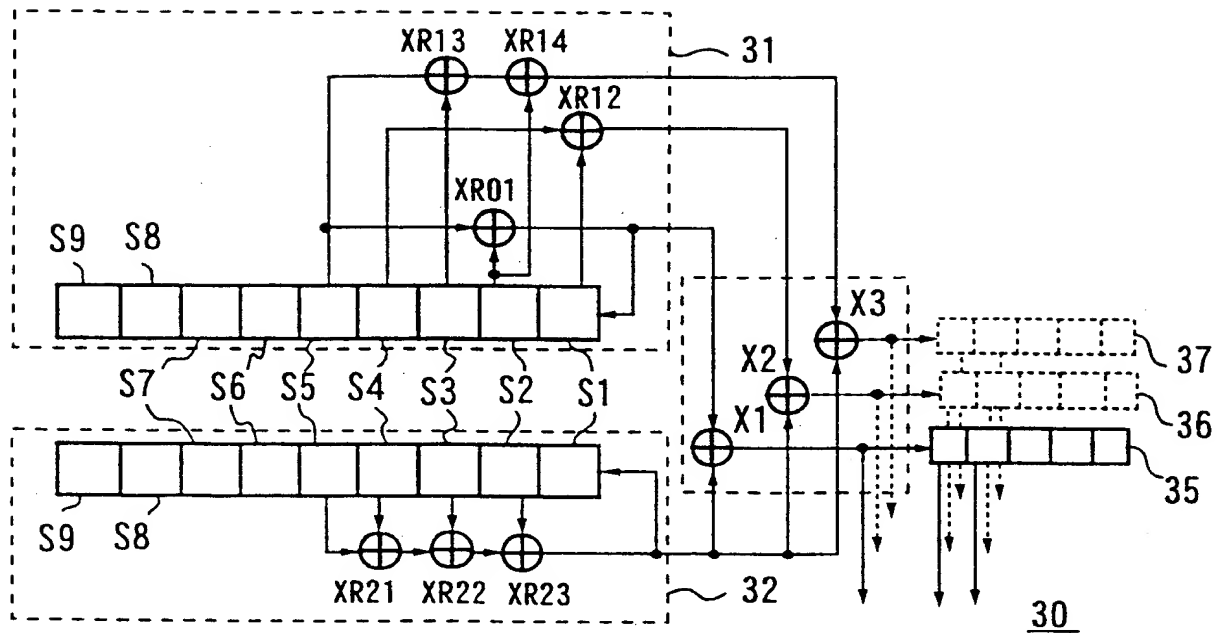


図 12

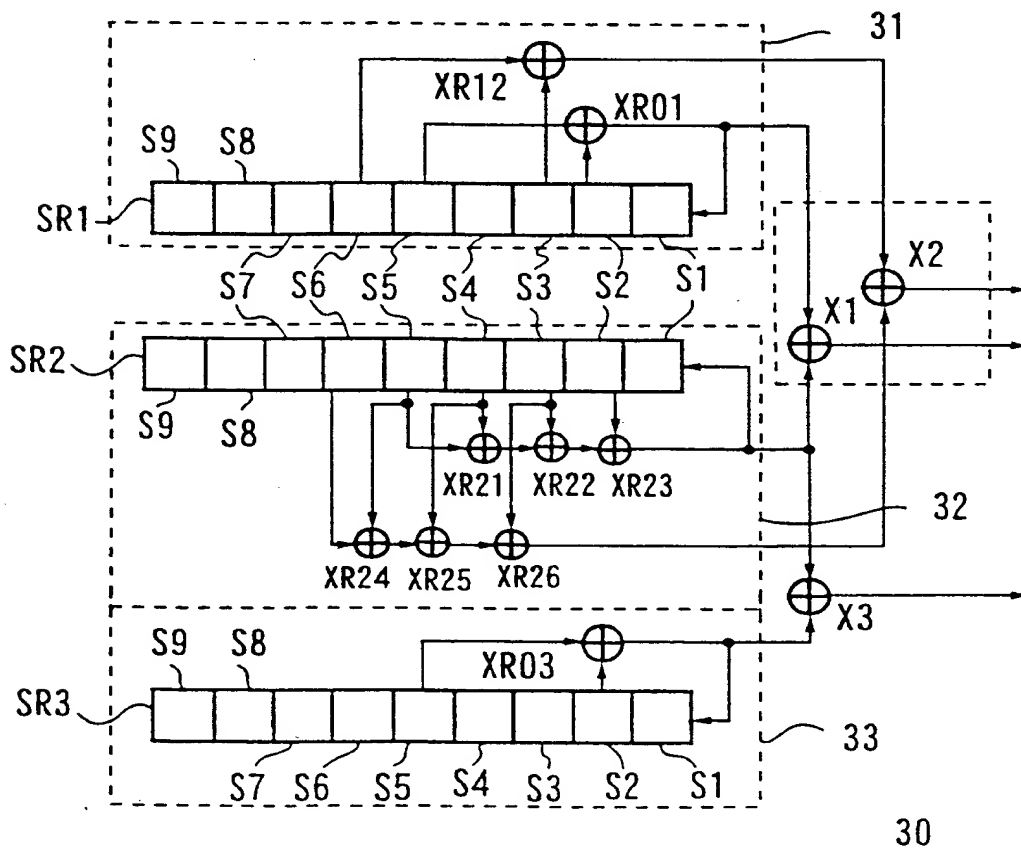
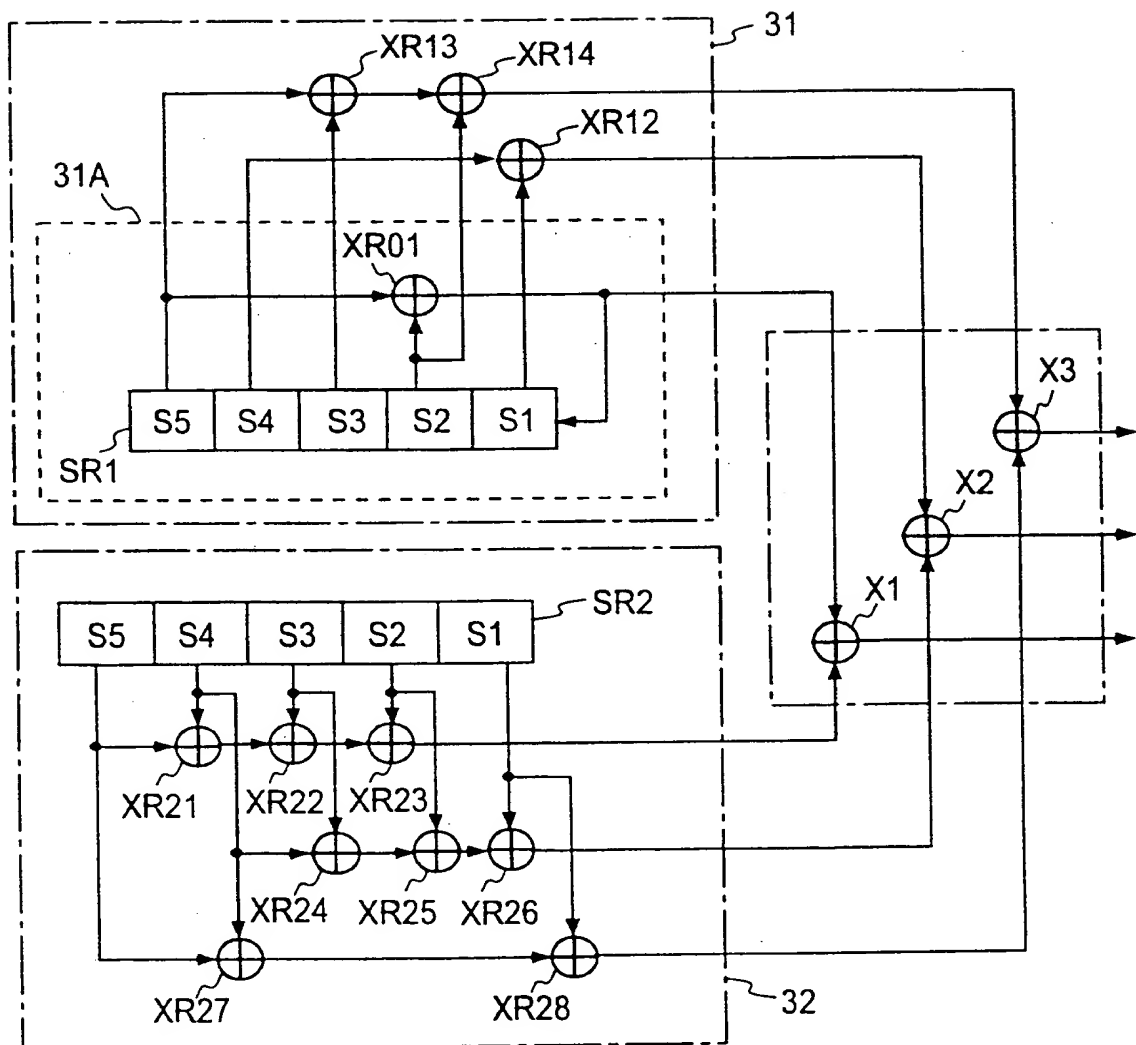


図 13

30

11/13

図 14



30

13/13

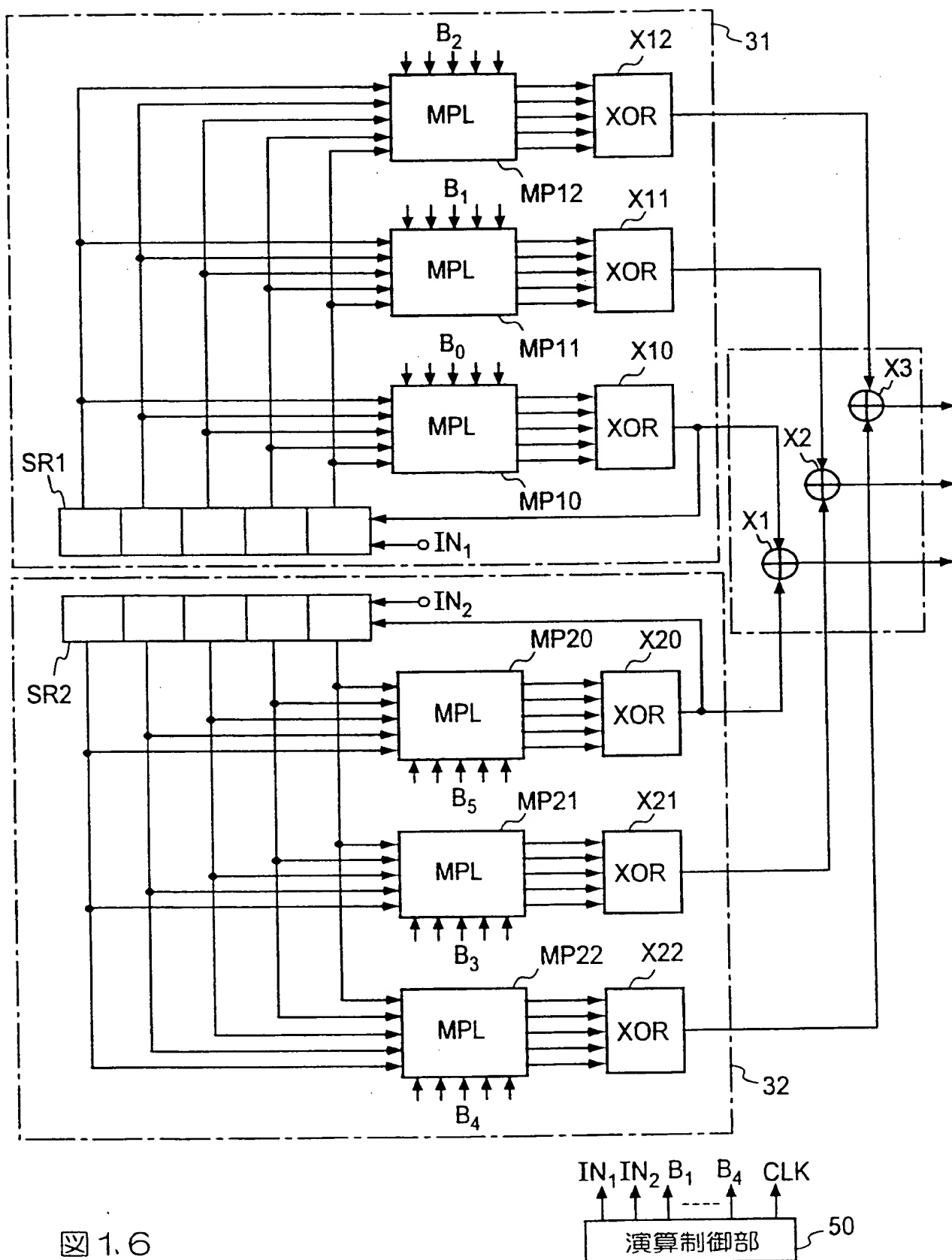


図 1.6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/05225

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁶ H04J13/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁶ H04J13/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho (Y1, Y2)	1926-1997	Toroku Jitsuyo Shinan Koho (U)	1994-1999
Kokai Jitsuyo Shinan Koho (U)	1971-1999	Jitsuyo Shinan Toroku Koho (Y2)	1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 59-47833, A (Clarion Co., Ltd.), 17 March, 1984 (17. 03. 84), Fig. 3 (Family: none)	1
Y		2
Y	JP, 60-177719, A (Omron Tateisi Electronics Co.), 11 September, 1985 (11. 09. 85), Fig. 1 (Family: none)	2
A	JP, 60-176322, A (Omron Tateisi Electronics Co.), 10 September, 1985 (10. 09. 85), Fig. 1 (Family: none)	3-33

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
12 February, 1999 (12. 02. 99)Date of mailing of the international search report
23 February, 1999 (23. 02. 99)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl.⁸ H04 J 13/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl.⁸ H04 J 13/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 (Y 1、Y 2)	1926-1997
日本国公開実用新案公報 (U)	1971-1999
日本国登録実用新案公報 (U)	1994-1999
日本国実用新案登録公報 (Y 2)	1996-1999

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 59-47833, A (クラリオン株式会社), 17. 3 月. 1984 (17. 03. 84)、図3 (ファミリーなし)	1
Y		2
Y	J P, 60-177719, A (立石電機株式会社), 11. 9 月. 1985 (11. 09. 85)、図1 (ファミリーなし)	2
A	J P, 60-176322, A (立石電機株式会社), 10. 9月 1985 (10. 09. 85)、図1 (ファミリーなし)	3~33

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

12. 02. 99

国際調査報告の発送日

23.02.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区設楽三丁目4番3号

特許庁審査官 (権限のある職員)

石井 研一

5 K

8 1 2 4

電話番号 03-3581-1101 内線 3555

THIS PAGE BLANK (USPTO)